

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

2862

Applicant(s): MURATA et al.

Serial No.: 10/091,592

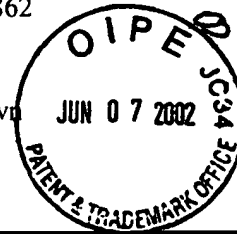
Filed: March 7, 2002

Title: MAGNETIC SENSOR AND
MANUFACTURING METHOD
THEREFOR

Attorney Docket No.: 01-266

Group Art Unit: 2862

Examiner: Unknown



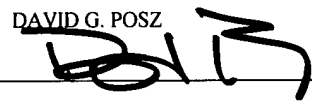
4 / Priority
Doc.
E. Willis
01-266-02

June 7, 2002

CERTIFICATE OF HAND DELIVERY

I hereby certify that this correspondence is being hand delivered to and deposited with the USPTO at the Customer Service Window, Office of Initial Patent Examination, Crystal Plaza Building 2, Room 1B03, 2011 South Clark Place, Arlington, VA 22202 on June 7, 2002.

Typed Name: DAVID G. POSZ

Signature: 

SUBMISSION OF PRIORITY CLAIM AND PRIORITY DOCUMENT(S)

Assistant Commissioner for Patents
Washington, D.C. 20231

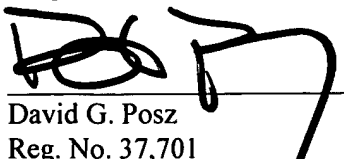
Dear Sir:

Pursuant to the provisions of 35 U.S.C. § 119, it is respectfully requested that the present application be given the benefit of the foreign filing date of the following foreign application(s). A certified copy of each application is enclosed.

Application Number	Country	Filing Date
2001-063,524	JAPAN	March 7, 2001
2001-032565	JAPAN	February 8, 2002

Law Offices of David G. Posz
2000 L Street, N.W.
Suite 200
Washington, D.C. 20036
(202) 416-1638
Customer No. 23400

Respectfully submitted,


David G. Posz
Reg. No. 37,701

RECEIVED
JUN 10 2002
TECHNOLOGY CENTER 2800

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 7日

出 願 番 号

Application Number:

特願2001-063524

[ST.10/C]:

[JP2001-063524]

出 願 人

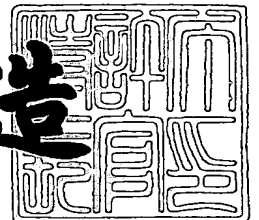
Applicant(s):

ヤマハ株式会社
株式会社デンソー

2002年 3月15日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3016196

【書類名】 特許願

【整理番号】 C-28994

【提出日】 平成13年 3月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 43/08

【発明者】

 【住所又は居所】 静岡県浜松市中沢町 10番1号ヤマハ株式会社内

 【氏名】 鈴木 利尚

【発明者】

 【住所又は居所】 静岡県浜松市中沢町 10番1号ヤマハ株式会社内

 【氏名】 望月 修

【発明者】

 【住所又は居所】 静岡県浜松市中沢町 10番1号ヤマハ株式会社内

 【氏名】 夏目 潔

【特許出願人】

 【識別番号】 000004075

 【氏名又は名称】 ヤマハ株式会社

【代理人】

 【識別番号】 100075074

 【弁理士】

 【氏名又は名称】 伊沢 敏昭

【手数料の表示】

 【予納台帳番号】 063005

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書
【発明の名称】 磁気センサとその製法
【特許請求の範囲】

【請求項1】

少なくとも一方の主面が絶縁性を有する基板と、

前記一方の主面に形成され、直列接続された少なくとも2つの磁気抵抗素子であって、各磁気抵抗素子が1又は複数直列の磁気トンネル接合素子からなるものと、

前記2つの磁気抵抗素子のうちの1つの磁気抵抗素子をパッシベーション用の絶縁膜を介して覆うように形成された熱応力緩和用の有機膜と、

前記有機膜及び前記絶縁膜を介して前記1つの磁気抵抗素子を覆うように形成された磁気シールド層と
を備えた磁気センサ。

【請求項2】 前記有機膜の上に前記磁気シールド層を覆って他の有機膜を形成した請求項1記載の磁気センサ。

【請求項3】

少なくとも一方の主面が絶縁性を有する基板を用意する工程と、

前記一方の主面に少なくとも2つの磁気抵抗素子を直列接続状態となるように形成する工程であって、各磁気抵抗素子としては、1又は複数直列の磁気トンネル接合素子を形成するものと、

前記2つの磁気抵抗素子を覆ってパッシベーション用の絶縁膜を形成する工程と、

前記2つの磁気抵抗素子のうちの1つの磁気抵抗素子を前記絶縁膜を介して覆うように熱応力緩和用の有機膜を形成する工程と、

前記有機膜及び前記絶縁膜を介して前記1つの磁気抵抗素子を覆うように磁気シールド層を形成する工程と、

前記2つの磁気抵抗素子と、前記絶縁膜と、前記有機膜と、前記磁気シールド層とを前記基板の一方の主面側に形成した状態で熱処理により前記基板の他方の主面を加熱接着層を介して支持部材に固着する工程と

を含む磁気センサの製法。

【請求項4】

少なくとも一方の主面が絶縁性を有する基板を用意する工程と、

前記一方の主面に少なくとも2つの磁気抵抗素子を直列接続状態となるように形成する工程であって、各磁気抵抗素子としては、1又は複数直列の磁気トンネル接合素子を形成するものと、

前記2つの磁気抵抗素子を覆ってパッシベーション用の絶縁膜を形成する工程と、

前記絶縁膜を介して前記2つの磁気抵抗素子を覆うように熱応力緩和用の有機膜を形成する工程と、

前記2つの磁気抵抗素子の直列路の一端及び他端の第1及び第2の電気端子と前記2つの磁気抵抗素子の相互接続部の第3の電気端子とにそれぞれ対応する3つの接続孔を前記有機膜に形成する工程と、

前記3つの接続孔を形成した後、熱処理により前記有機膜を硬化させる工程と、

前記2つの磁気抵抗素子のうちの1つの磁気抵抗素子を前記熱処理で硬化した有機膜を介して覆うように磁気シールド層を形成する工程と、

前記磁気シールド層を形成した後、前記有機膜をマスクとする選択的除去処理により前記第1～第3の電気端子にそれぞれ対応して前記有機膜の3つの接続孔に連続する3つの接続孔を前記絶縁膜に形成する工程と、

前記2つの磁気抵抗素子と、前記絶縁膜と、前記有機膜と、前記磁気シールド層とを前記基板の一方の主面側に形成した状態で熱処理により前記基板の他方の主面を加熱接着層を介して支持部材に固着する工程とを含む磁気センサの製法。

【請求項5】 前記有機膜を形成する工程では、前記有機膜として、ポリイミド膜、レジスト膜及びベンゾシクロブテン膜のうちの1種類の膜を形成し、前記有機膜を硬化させる工程では、前記1種類の膜を300℃より低温の熱処理により硬化させる請求項4記載の磁気センサの製法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、磁気抵抗素子として磁気トンネル接合素子を用いた磁気センサ及びその製法に関するものである。

【 0 0 0 2 】

【従来の技術】

従来、この種の磁気センサとしては、図 1 (B) に示すように基板 10 上に 2 つの磁気抵抗素子 R_1 、 R_2 を直列接続状態となるように形成すると共に各磁気抵抗素子を 1 又は複数直列の磁気トンネル接合素子（以下、磁気トンネル接合素子を「TMR 素子」と略記する）で構成し、いずれか一方の磁気抵抗素子（例えば R_2 ）に磁気シールドを施したものが本願と同一の出願人により先に提案されている（例えば、特願 2 0 0 0 - 1 6 6 1 8 0 号参照）。

【 0 0 0 3 】

このような磁気センサによれば、磁気抵抗素子 R_1 、 R_2 の温度特性を実質的に同一とすることができる。このため、磁気抵抗素子 R_1 、 R_2 の直列路の一端及び他端の電気端子 P_a 、 P_b 間に所定の電圧を印加し且つ基板 10 の平面内に外部磁界を印加しない状態では、磁気抵抗素子 R_2 （又は R_1 ）の両端の電気端子 P_c 、 P_b （又は P_a 、 P_c ）間に、温度によらず一定の出力電圧（例えば $P_a - P_b$ 間の電圧を V_{in} とすれば $V_{in}/2$ の出力電圧）が得られる。

【 0 0 0 4 】

また、基板 10 の平面内に外部磁界を印加すると、磁気抵抗素子 R_1 の電気抵抗が磁界の向きと強さに応じて変化するので、 $P_c - P_b$ （又は $P_a - P_c$ ）間の出力電圧は、抵抗変化に対応して変化する。磁気抵抗素子 R_1 、 R_2 を構成する TMR 素子は、外部磁界を印加した状態で環境温度が変化したときの抵抗変化量が極めて少ない。従って、図 1 (B) の磁気センサでは、良好な温度特性が得られる。

【 0 0 0 5 】

【発明が解決しようとする課題】

本願の発明者は、上記した従来技術を応用した磁気センサとして、次のような

磁気センサを製作した。すなわち、基板10として、シリコン基板の表面にシリコン酸化膜を形成して絶縁性を持たせたものを用意し、この基板上に磁気抵抗素子 R_1 、 R_2 を形成した。各磁気抵抗素子は、複数直列のTMR素子からなるものとし、素子 R_1 、 R_2 を直列接続し且つTMR素子を直列接続するように配線を形成した。CVD（ケミカル・ベーパー・デポジション）法により基板10上に素子 R_1 、 R_2 を覆ってシリコン酸化膜を形成した後、このシリコン酸化膜を介して素子 R_2 を覆うようにNi-Fe合金製の磁気シールド層42を選択メッキ処理により形成した。素子 R_1 、 R_2 、磁気シールド層42等を含む磁気センサチップ10をウエハから分離した後、熱処理によりチップ10をAgペースト層を介してCu製のリードフレームに固着した。

【0006】

発明者の研究によれば、チップ10をリードフレームに固着する際に、温度が熱処理温度から室温に戻る過程でチップ10において磁気シールド層42の配置個所にクラックが発生することが判明した。

【0007】

この発明の目的は、このようなクラックの発生を防止することができる新規な磁気センサ及びその製法を提供することにある。

【0008】

【課題を解決するための手段】

この発明に係る磁気センサは、

少なくとも一方の主面が絶縁性を有する基板と、

前記一方の主面に形成され、直列接続された少なくとも2つの磁気抵抗素子であって、各磁気抵抗素子が1又は複数直列の磁気トンネル接合素子からなるものと、

前記2つの磁気抵抗素子のうちの1つの磁気抵抗素子をパッシベーション用の絶縁膜を介して覆うように形成された熱応力緩和用の有機膜と、

前記有機膜及び前記絶縁膜を介して前記1つの磁気抵抗素子を覆うように形成された磁気シールド層とを備えたものである。

【0009】

この発明の磁気センサによれば、従来技術に関して前述したと同様に良好な温度特性が得られる。また、磁気抵抗素子と、絶縁膜と、有機膜と、磁気シールド層とを基板の一方の主面に形成した状態で基板の他方の主面を加熱接着層を介してリードフレーム等の支持部材に固着する際には、磁気シールド層の下に形成した有機膜が熱応力を緩和するように作用するので、基板において磁気シールド層の配置個所にクラックが発生するのを防止することができる。

【0010】

この発明の磁気センサにあつては、有機膜の上に磁気シールド層を覆って他の有機膜を形成してもよい。このようにすると、樹脂モールド処理等において、熱膨張・収縮により磁気シールド層が剥がれるのを防止することができる。

【0011】

この発明に係る第1の磁気センサの製法は、

少なくとも一方の主面が絶縁性を有する基板を用意する工程と、

前記一方の主面に少なくとも2つの磁気抵抗素子を直列接続状態となるように形成する工程であつて、各磁気抵抗素子としては、1又は複数直列の磁気トンネル接合素子を形成するものと、

前記2つの磁気抵抗素子を覆ってパッシベーション用の絶縁膜を形成する工程と、

前記2つの磁気抵抗素子のうちの1つの磁気抵抗素子を前記絶縁膜を介して覆うように熱応力緩和用の有機膜を形成する工程と、

前記有機膜及び前記絶縁膜を介して前記1つの磁気抵抗素子を覆うように磁気シールド層を形成する工程と、

前記2つの磁気抵抗素子と、前記絶縁膜と、前記有機膜と、前記磁気シールド層とを前記基板の一方の主面側に形成した状態で熱処理により前記基板の他方の主面を加熱接着層を介して支持部材に固着する工程とを含むものである。

【0012】

第1の磁気センサの製法によれば、この発明の磁気センサを製造することがで

き、基板を支持部材に固着する際に前述したと同様に基板にクラックが発生するのを防止することができる。また、2つの磁気抵抗素子を覆ってパッシベーション用の絶縁膜を形成した後、有機膜及び磁気シールド層を形成するので、2つの磁気抵抗素子が有機膜及び磁気シールド層の形成工程において絶縁膜により保護される。従って、製造歩留りが向上する。

【 0 0 1 3 】

この発明に係る第2の磁気センサの製法は、

少なくとも一方の主面が絶縁性を有する基板を用意する工程と、

前記一方の主面に少なくとも2つの磁気抵抗素子を直列接続状態となるように形成する工程であって、各磁気抵抗素子としては、1又は複数直列の磁気トンネル接合素子を形成するものと、

前記2つの磁気抵抗素子を覆ってパッシベーション用の絶縁膜を形成する工程と、

前記絶縁膜を介して前記2つの磁気抵抗素子を覆うように熱応力緩和用の有機膜を形成する工程と、

前記2つの磁気抵抗素子の直列路の一端及び他端の第1及び第2の電気端子と前記2つの磁気抵抗素子の相互接続部の第3の電気端子とにそれぞれ対応する3つの接続孔を前記有機膜に形成する工程と、

前記3つの接続孔を形成した後、熱処理により前記有機膜を硬化させる工程と、

前記2つの磁気抵抗素子のうちの1つの磁気抵抗素子を前記熱処理で硬化した有機膜を介して覆うように磁気シールド層を形成する工程と、

前記磁気シールド層を形成した後、前記有機膜をマスクとする選択的除去処理により前記第1～第3の電気端子にそれぞれ対応して前記有機膜の3つの接続孔に連続する3つの接続孔を前記絶縁膜に形成する工程と、

前記2つの磁気抵抗素子と、前記絶縁膜と、前記有機膜と、前記磁気シールド層とを前記基板の一方の主面側に形成した状態で熱処理により前記基板の他方の主面を加熱接着層を介して支持部材に固着する工程とを含むものである。

【0014】

第2の磁気センサの製法によれば、第1の磁気センサの製法と同様の作用効果を得られる。また、有機膜を硬化させる前に有機膜に接続孔を形成するので、例えばレジスト現像液等により簡単に接続孔を形成可能である。その上、磁気シールド層を形成した後、絶縁膜に接続孔を形成するので、2つの磁気抵抗素子が有機膜及び磁気シールド層の形成工程において絶縁膜により保護される。従って、製造歩留りが向上する。

【0015】

第2の磁気センサの製法において、有機膜を形成する工程では、有機膜として、ポリイミド膜、レジスト膜及びベンゾシクロブテン膜のうちの1種類の膜を形成するのが望ましい。この1種類の膜は、有機膜を硬化させる工程において、300℃より低温の熱処理で硬化させることができる。このため、TMR素子の特性劣化を抑制することができ、製造歩留りが向上する。

【0016】

【発明の実施の形態】

図1は、この発明の一実施形態に係る磁気センサを示すものである。

【0017】

図1(A)に示す磁気センサは、基板10の絶縁性表面に磁気抵抗素子 R_1 、 R_2 を図1(B)に示すように直列状態となるように形成したものである。各磁気抵抗素子は、複数直列のTMR素子で構成されている。 $T_1 \sim T_6$ は、いずれもTMR素子対であり、各素子対は、 T_1 について代表的に示すように下部電極層12により直列接続された一对のTMR素子からなっている。素子対 $T_1 \sim T_6$ において、TMR素子の構成は実質的に同一であり、TMR素子の製法については、図8～10等を参照して後述する。なお、各磁気抵抗素子は、1つのTMR素子で構成することもできる。

【0018】

基板10の表面には、TMR素子対 $T_1 \sim T_6$ を覆ってシリコンオキサイド膜等の層間絶縁膜30が形成され、絶縁膜30の上には、A1層 $W_a \sim W_c$ 、 $W_1 \sim W_4$ を含む配線層32が形成されている。A1層 W_a は、素子対 T_1 の一方の

TMR素子から導出されたもので、A1層W_aの一部が図1(B)に示す電気端子(ボンディングパッド)P_aとなっている。A1層W₁は、素子対T₁の他方のTMR素子と素子対T₂の一方のTMR素子とを相互接続し、A1層W₂は、素子対T₂の他方のTMR素子と素子対T₃の一方のTMR素子とを相互接続する。A1層W_cは、素子対T₃の他方のTMR素子から導出されたもので、A1層W_cの一部が図1(B)に示す電気端子(ボンディングパッド)P_cとなっている。従って、電気端子P_a、P_c間の磁気抵抗素子R₁は、直列接続されたTMR素子対T₁~T₃によって構成される。

【0019】

A1層W_cは、素子対T₃の他方のTMR素子と素子対T₄の一方のTMR素子とを相互接続し、A1層W₃は素子対T₄の他方のTMR素子と素子対T₅の一方のTMR素子とを相互接続する。A1層W₄は、素子対T₅の他方のTMR素子と素子対T₆の一方のTMR素子とを相互接続する。A1層W_bは、素子対T₆の他方のTMR素子から導出されたもので、A1層W_bの一部が図1(B)に示す電気端子(ボンディングパッド)P_bとなっている。従って、電気端子P_c、P_b間の磁気抵抗素子R₂は、直列接続されたTMR素子対T₄~T₆によって構成される。また、電気端子P_cは、磁気抵抗素子R₁、R₂の相互接続部から導出される。

【0020】

基板10の表面には、絶縁膜30及び配線層32を覆ってパッシベーション用の絶縁膜34が形成されている。絶縁膜34は、例えばシリコンオキサイド膜、シリコンナイトライド膜又はこれらの膜の積層膜等によって構成される。絶縁膜34には、配線層W_a、W_b、W_cの電気端子部をそれぞれ露呈するように接続孔34a、34b、34cが形成されている。

【0021】

絶縁膜34の上には、熱応力緩和用の有機膜36が形成されている。有機膜36は、例えばポリイミド膜、レジスト膜又はベンゾシクロブテン膜等によって構成されるもので、例えば、0.5~1μm程度の厚さを有する。有機膜36には、絶縁膜34の接続孔34a、34b、34cにそれぞれ連続するように接続孔

36a, 36b, 36cが形成されている。

【0022】

有機膜36の上には、有機膜36及び絶縁膜34を介して磁気抵抗素子 R_2 を覆うように磁気シールド層42が形成されている。磁気シールド層42は、例えばNi-Fe合金等の高透磁率磁性材によって構成される。

【0023】

有機膜36の上には、磁気シールド層42を覆って有機膜44が形成されている。有機膜44は、例えばポリイミド膜、レジスト膜又はベンゾシクロブテン膜等によって構成されるもので、通常、磁気シールド層42と同等あるいはそれより厚く例えば10 μ mの厚さに形成される。有機膜44には、有機膜36の接続孔36a, 36b, 36cにそれぞれ連続するように接続孔44a, 44b, 44cが形成されている。

【0024】

一例として、接続孔34a~34cは、いずれも一辺の長さが100 μ mの正方形をなすように形成され、接続孔36a~36cは、それぞれ接続孔34a~34cより若干大きなサイズで形成され、接続孔44a~44cは、それぞれ接続孔36a~36cより若干大きなサイズで形成される。このようにすると、各電気端子に対応する接続孔が外方に向けてサイズを増大する形状となり、各電気端子にAu等のワイヤをボンディングしやすくなる。なお、ワイヤボンディング時にワイヤ同士の短絡を防ぐためには、有機膜36, 44として電気絶縁性を有する膜を用いるのが好ましい。

【0025】

図1に示した磁気センサチップ10は、ウエハからダイシングにより分離される。チップ10において磁気抵抗素子 R_1 , R_2 、磁気シールド層42等を形成した主面とは反対側の主面（裏面）は、熱処理によりAgペースト層を介してCu製のリードフレームに固着される。このとき、温度が熱処理温度から室温に戻る過程において有機膜36がチップ10と磁気シールド層42との膨張係数の差に基づく熱応力を緩和するように作用するので、チップ10において磁気シールド層42の配置個所にクラックが発生するのを防止することができる。

【0026】

チップ10をリードフレームに固着した後、前述したワイヤボンディング処理を行ってから、チップ10、リードフレームのチップ支持部、ボンディングワイヤなどをプラスチックパッケージに収容するため、樹脂モールド処理を行なうことがある。樹脂モールド処理時又はその後において、樹脂内部のフィラーと磁気シールド層42とが温度変化により膨張・収縮を繰返すと、磁気シールド層42が有機膜36から剥がれることがあるが、有機膜44を設けておくと、このような剥がれを防止することができる。

【0027】

図1に示した磁気センサチップ10は、従来技術に関して前述したと同様に良好な温度特性を有するものである。

【0028】

次に、図2～19を参照して上記のような磁気センサを製造する方法を説明する。図2～19において、図1と同様の部分には同様の符号を付して詳細な説明を省略する。

【0029】

図2(A)の工程では、基板10の表面にTMR素子対 $T_1 \sim T_3$ を含むTMR素子群 T_{11} 、TMR素子対 $T_4 \sim T_6$ を含むTMR素子群 T_{21} 等を形成する。TMR素子群形成パターンとしては、図7に示すようなパターンを採用することができる。この場合、基板10の表面には、素子群 T_{11} と同一構成のTMR素子群 $T_{12} \sim T_{15}$ を素子群 T_{11} に並べて形成すると共に、素子群 T_{21} と同一構成のTMR素子群 $T_{22} \sim T_{25}$ を素子群 T_{21} に並べて形成する。他のパターン例としては、図12(A)に示すように素子群 T_{11} 、 T_{21} のみを形成してもよい。

【0030】

素子群 $T_{11} \sim T_{15}$ 、 $T_{21} \sim T_{25}$ において、TMR素子対の構成は実質的に同一であり、代表としてTMR素子対 T_1 の製法を図8～10について説明する。図8～10に示す断面は、いずれも図7のX-X'線断面に対応する。

【0031】

図8の工程では、基板10として、シリコン基板10aの表面に熱酸化法によりシリコン酸化膜10bを形成して絶縁性を持たせたものを用意する。基板10としては、ガラス又は石英等からなる絶縁性基板を用いてもよい。基板10の絶縁性表面の上には、スパッタ法により電極材層として10～30nmの厚さのCr層12を形成する。電極材層としてはTiの単層又はTi層にCu層を重ねた積層等を用いてもよく、あるいはW, Ta, Au, Mo等の導電性非磁性金属材料を用いてもよい。

【0032】

次に、Cr層12の上には、スパッタ法により反強磁性層として30～50nmの厚さのPt-Mn合金層14を形成する。反強磁性層としては、Rh-Mn合金、Fe-Mn合金等を用いてもよい。この後、Pt-Mn合金層14の上にスパッタ法により強磁性層として10nmの厚さのNi-Fe合金層16を形成する。強磁性層としては、Ni, Fe, Coのうちのいずれかの金属、Ni, Fe, Coのうちの2つ以上の金属の合金又は金属間化合物等を用いてもよく、あるいはNi-Fe合金層の下にCo層を敷くなどして複数層構造のものを用いてもよい。

【0033】

次に、Ni-Fe合金層16の上には、スパッタ法によりAl層を1～2nmの厚さに形成する。そして、Al層に酸化処理を施すことによりアルミナ(Al₂O₃)層18を形成する。アルミナ層18は、トンネルバリア層として用いられるものである。トンネルバリア層としては、金属又は半導体を改変した酸化物(例えばTiO_x, SiO₂, MgO, Al₂O₃+SiO₂ [サイアロン])、窒化物(例えばAlN, Si₃N₄)、酸化窒化物(例えばAlN+Al₂O₃)等を用いてもよい。

【0034】

次に、アルミナ層18の上には、スパッタ法により強磁性層として20～100nmの厚さのNi-Fe合金層20を形成する。層20に代る強磁性層としては、層16に関して前述したと同様の強磁性層を用いることができる。この後、Ni-Fe合金層20の上には、スパッタ法により30～60nmの厚さのMo

層22を形成する。Mo層22は、上部電極層を形成するために用いられるもので、図1に示したWa等のA1層のための接続孔を絶縁膜30にエッチングで形成する際にはエッチングストッパとしても役立つ。

【0035】

図9の工程では、レジスト層をマスクとするイオンミリング処理によりCr層12からMo層22までの積層を所定の下部電極パターンに従ってパターニングする。そして、このときのパターニングに用いたレジスト層を除去する。

【0036】

図10の工程では、レジスト層をマスクとするイオンミリング処理によりPt-Mn合金層14からMo層22までの積層を所定の2つの上部電極パターンに従ってパターニングする。そして、このときのパターニングに用いたレジスト層を除去する。この結果、Cr層12、Pt-Mn合金層14a、Ni-Fe合金層16a、アルミナ層18a、Ni-Fe合金層20a及びMo層22aの積層からなる第1のTMR素子Taと、Cr層12、Pt-Mn合金層14b、Ni-Fe合金層16b、アルミナ層18b、Ni-Fe合金層20b及びMo層22bの積層からなる第2のTMR素子Tbとが得られ、これらの素子Ta、Tbは、下部電極層(Cr層)12により直列接続されてTMR素子対 T_1 を構成する。

【0037】

図10に示すTMR素子対 T_1 において、Pt-Mn合金層14a、14bは、それぞれNi-Fe合金層16a、16bの磁化の向きを固定すべく作用するので、Ni-Fe合金層16a、16bは、いずれも磁化固定層となる。一方、Ni-Fe合金層20a、20bは、いずれも磁化の向きが自由であり、磁化自由層となる。

【0038】

上部電極層(Mo層)22a、22b間に一定の電流を流した状態において基板10の平面内に外部磁界を印加すると、磁界の向きと強さに応じて強磁性層間(Ni-Fe合金層16a、20a間及びNi-Fe合金層16b、20b間)で磁化の相対角度が変化し、このような相対角度の変化に応じて上部電極層22

a, 22b間の電気抵抗値が変化する。磁化の向きが平行状態又は反平行状態になるのにそれぞれ対応して抵抗値が最小又は最大となる。従って、抵抗値の変化に基づいて磁界検出を行なうことができる。

【0039】

図10に示したTMR素子対 T_1 にあつては、Pt-Mn合金層14a, 14bをそれぞれNi-Fe合金層20a, 20bの上に形成することによりNi-Fe合金層20a, 20bを磁化固定層とし且つNi-Fe合金層16a, 16bを磁化自由層としてもよい。

【0040】

図2(B)の工程では、 T_{11} , T_{21} 等のTMR素子群を覆って基板10の表面に層間絶縁膜30を形成する。絶縁膜30としては、一例としてスパッタ法によりシリコンオキサイド膜を形成した。絶縁膜30には、レジスト層をマスクとするイオンミリング処理により配線に必要な接続孔を形成する。この後、絶縁膜30の上にスパッタ法によりAl層を形成すると共に、レジスト層をマスクとするウエットエッチング処理によりAl層をパターニングして残存するAl層 $W_a \sim W_c$, $W_1 \sim W_4$ 等を含む配線層32を形成する。

【0041】

図7に示したTMR素子群形成パターンを採用した場合、配線パターンとしては、図11に示すパターンを採用することができる。図11において、TMR素子対 $T_1 \sim T_3$ (TMR素子群 T_{11}) 及びTMR素子対 $T_4 \sim T_6$ (TMR素子群 T_{21}) におけるAl層 W_1 , W_2 , W_c , W_3 , W_4 の接続状態は、図1に関して前述した通りである。また、電気端子Paと一体をなすAl層 W_a とTMR素子群 T_{11} との間にはTMR素子群 $T_{12} \sim T_{15}$ が直列接続されており、電気端子Pbと一体をなすAl層 W_b とTMR素子群 T_{21} との間にはTMR素子群 $T_{22} \sim T_{25}$ が直列接続されている。 $W_{11} \sim W_{22}$ は、TMR素子群 $T_{11} \sim T_{15}$ を直列接続するためのAl層、 $W_{31} \sim W_{42}$ は、TMR素子群 $T_{21} \sim T_{25}$ を直列接続するためのAl層である。磁気抵抗素子 R_1 は、直列接続されたTMR素子群 $T_{11} \sim T_{15}$ によって構成され、磁気抵抗素子 R_2 は、直列接続されたTMR素子群 $T_{21} \sim T_{25}$ によって構成される。Al層 W_c

の一部がTMR素子群 $T_{12} \sim T_{15}$ とTMR素子群 $T_{22} \sim T_{25}$ との間を延長して電気端子 P_a 、 P_b と並ぶ電気端子 P_c を構成する。図2(B)には、便宜上、図11においてJ-J'線断面、K-K'線断面、L-L'線断面、M-M'線断面及びN-N'線断面を接続した状態を示した。

【0042】

図12(A)に示したTMR素子群形成パターンを採用した場合、配線パターンとしては、図12(B)又は(C)に示すパターンを採用することができる。図12(B)又は(C)において、磁気抵抗素子 R_1 は、TMR素子対 $T_1 \sim T_3$ (TMR素子群 T_{11})からなり、磁気抵抗素子 R_2 は、TMR素子対 $T_4 \sim T_6$ (TMR素子群 T_{21})からなる。素子対 $T_1 \sim T_6$ におけるA1層 $W_a \sim W_c$ 、 $W_1 \sim W_4$ の接続状態は、図1に関して前述した通りである。図2(B)の断面は、図12(B)のQ-Q'線断面に対応すると共に、図12(C)のS-S'線断面に対応する。

【0043】

図2(C)の工程では、絶縁膜30の上に配線層32を覆ってパッシベーション用の絶縁膜34を形成する。パッシベーションには緻密な膜を用いるのが好ましい。そこで、一例としてプラズマCVD法を用いて最初にシリコンオキサイド膜を150nmの厚さに形成し、その後連続してシリコンナイトライド膜を1000nmの厚さに形成した。TMR素子は、300℃以上の温度で特性が大きく劣化する。このような特性劣化を回避するため、プラズマCVDの成膜温度は、250℃とした。

【0044】

次に、図3(A)の工程では、絶縁膜34の上に熱応力緩和用の有機膜36を形成する。図3(A)以降の工程では、TMR素子群形成パターンとして図7のパターンを採用したものとして説明を行なう。有機膜36は、図11に示す磁気抵抗素子 R_1 、 R_2 及び電気端子 $P_a \sim P_c$ を覆うように図13に示すような平面パターンで形成する。

【0045】

有機膜36としては、一例として0.5～1μmの厚さのポリイミド膜を形成

した。すなわち、スピンコータによりポリイミドを基板上面に塗布した後、その塗布膜にホットプレート上で50℃30分+125℃3分のプリバーク処理を施した。そして、プリバークされたポリイミド膜の上に回転塗布法等によりポジレジスト層を形成し、このポジレジスト層に接続孔36a~36cに対応した3つの孔を形成するように露光及び現像処理を施した。このときの現像処理では、ポジレジスト層に3つの孔が形成されると共に、現像液によりポジレジスト層をマスクとしてポリイミド膜がエッチングされて図3, 13に示すようにポリイミド膜からなる有機膜36に接続孔36a~36cが形成される。

【0046】

ポジレジスト層を除去した後、ポリイミド膜に250℃1時間の熱処理を施してポリイミド膜を硬化させ、実用に耐え得る膜とした。プラズマCVD処理に関して前述したようにTMR素子の特性劣化を回避するためには、この時の熱処理温度を300℃より低く設定するのが望ましい。また、ポリイミド自体の反応は、200℃以下で完了し、溶剤の沸点も210℃以下であるので、200℃以上の温度であれば硬化の目的を達成することができる。なお、有機膜36としてレジスト膜を用いた場合には、一例として250℃1時間の熱処理を施すことができ、有機膜36としてベンゾシクロブテン膜を用いた場合には、一例として230℃1時間の熱処理を施すことができる。

【0047】

図3(B)の工程では、有機膜36及び接続孔36a~36cを覆って選択メッキ用のシード層38を形成する。シード層38としては、一例としてスパッタ法により20nmの厚さのCr層に200nmの厚さのNi-Fe合金層を重ねた積層を形成した。この後、シード層38のメッキすべき部分(磁気シールド層42に対応する部分)を露呈する孔40aを有するレジスト層40をシード層38の上に図14に示すような平面パターンで形成する。レジスト層40の厚さは、例えば3μmとすることができる。

【0048】

次に、図4(A)の工程では、レジスト層40をマスクとする選択メッキ処理により磁気シールド層42を図15に示すような平面パターンで形成する。磁気

シールド層 4 2 としては、一例として N i - F e 合金からなる $10\mu\text{m}$ の厚さの磁性材層を電解メッキ処理により形成した。このときのメッキ条件は、

メッキ液：硫酸ニッケル、硫酸鉄、ホウ酸、塩化アンモニウム、
ドジシル硫酸ナトリウム、サッカリンナトリウム及び
アスコルビン酸の混合液

温度： $45\sim 60^{\circ}\text{C}$ の間の一定値

電流密度： $3.5\text{A}/\text{dm}^2$

とした。

【 0 0 4 9 】

磁気シールド層 4 2 は、厚さが大きいほど磁気シールド効果が大きい。従って必要な効果に合わせて厚さを決定すればよい。磁気シールド層 4 2 の厚さが大きいと、レジスト層 4 0 の厚さを越えた部分が横方向にせり出してくる。このようなせり出しを防ぐには、レジスト層 4 0 の粘度を上げて厚さを $10\mu\text{m}$ 以上にすればよい。

【 0 0 5 0 】

図 4 (B) の工程では、アセトン等のレジスト除去剤を用いてレジスト層 4 0 を除去した後、イオンミリング処理によりシード層 3 8 を磁気シールド層 4 2 と重ならない部分において除去する。この除去処理としては、イオンミリング処理に代えてウェットエッチング処理を用いてもよい。図 4 (B) の除去処理により有機膜 3 6 の上にはシード層 3 8 の残存部を介して磁気シールド層 4 2 が図 1 6 に示すような平面パターンで残存する。

【 0 0 5 1 】

図 5 の工程では、有機膜 3 6 の上に磁気シールド層 4 2 を覆って有機膜 4 4 を図 1 7 に示すような平面パターンで形成する。有機膜 4 4 としては、一例として $10\mu\text{m}$ の厚さのポリイミド膜を前述の有機膜 3 6 と同様にして形成した。また、ポリイミド膜からなる有機膜 4 4 には、ポリイミド膜上に形成したポジレジスト層を現像する際に現像液を用いた選択エッチング処理により図 5, 1 7 に示すように接続孔 3 6 a ~ 3 6 c にそれぞれ連続する接続孔 4 4 a ~ 4 4 c を形成した。

【0052】

図6の工程では、有機膜36、44をマスクとする選択エッチング処理により接続孔36a～36cにそれぞれ連続する接続孔34a～34cを絶縁膜34に形成する。選択エッチング処理としては、反応性イオンエッチング（RIE）処理を用い、エッチング条件は、一例として、

エッチングガス： CF_4

圧力：0.05 Torr

RFパワー：240W/200mmφ

とした。

【0053】

上記した磁気センサの製法によれば、有機膜36を硬化させる前に接続孔36a～36cを形成するので、接続孔形成のためのエッチング処理が簡単となる。また、図3（A）の工程から図5の工程まで磁気抵抗素子 R_1 、 R_2 、配線層32及び電気端子Pa～Pcが絶縁膜34により保護されているので、有機膜36、44や磁気シールド層42の形成中に素子 R_1 、 R_2 、配線層32及び電気端子Pa～Pcがダメージを受けることがない。従って、製造歩留りが向上する。

【0054】

図6の工程の後、図6の磁気センサチップ10をシリコンウエハからダイシングにより分離する。そして、チップ10において磁気抵抗素子 R_1 、 R_2 、磁気シールド層42等を形成した主面とは反対側の主面（裏面）を図18に示すように熱処理によりAgペースト層52を介してCu製のリードフレーム50に固着する。Agペースト層52を硬化させるための熱処理としては、Agペーストの種類に応じて150℃90分又は180℃60分の熱処理を行なった。

【0055】

図6の磁気センサチップ10において、有機膜36を設けず、絶縁膜34の上に磁気シールド層42を形成した場合には、上記のような固着処理において温度を熱処理温度から室温に戻す過程でチップ10の磁気シールド層配置個所にクラックが生ずる。発明者は、このようなクラックの発生のメカニズムについて次のように考えている。次の表1には、各種材料の膨張係数を示す。

【0056】

【表1】

材料	膨張係数[$1/^\circ\text{C}$]
Si	$2.6 \sim 3.6 \times 10^{-6}$
Ni ₈₁ Fe ₁₉	$12 \sim 13 \times 10^{-6}$
Cu	17×10^{-6}
Fe合金(42アロイ)	$4.4 \sim 7.0 \times 10^{-6}$
Au	23×10^{-6}

ここで、シリコン(Si)は、チップ10を構成する基板の材料、Ni-Fe合金(Ni₈₁Fe₁₉)は、磁気シールド層42の材料、銅(Cu)は、リードフレーム50の材料である。また、Fe合金(42アロイ)は、通常のリードフレーム材料として比較のために示したものであり、金(Au)は、後述するように有機膜36の代りに用いられる代用膜の材料である。

【0057】

リードフレーム50の材料であるCuの膨張係数は、通常のリードフレーム材料であるFe合金(42アロイ)に比べて大きく、シリコン基板に比べても大きい。このため、Agペーストの熱処理後の冷却の過程でリードフレーム50とチップ10を構成するシリコン基板との間に応力が発生する。他の条件が悪いときは、これだけでもクラックが生ずることがあるが、シリコン基板の上にシリコンより膨張係数が高いNi₈₁Fe₁₉からなる磁気シールド層42を形成すると、磁気シールド層42とシリコン基板との間にも応力が発生し、一層クラックが発生しやすくなる。クラックの発生に關与するファクタとしては、(イ)シリコン基板の大きさ、厚さ及び形状、(ロ)磁気シールド層42の大きさ、厚さ及び形状、(ハ)Agペーストの熱処理温度等が考えられる。

【0058】

この発明では、上記のような膨張係数の差に基づく熱応力を緩和する目的で、シリコン基板を覆うパッシベーション用絶縁膜34と磁気シールド層42との間に柔軟な材料として有機膜36を介在させたものである。

【0059】

この発明の効果を確認するため、有機膜36として種々の膜を形成した種々のサンプル（磁気センサチップ）を用意し、クラック発生状況を調べるための実験を行なった。すなわち、次の表2に示すように有機膜36として厚さ0.5 μ mのポリイミド膜、厚さ1 μ mのポリイミド膜、厚さ0.7 μ mのレジスト膜をそれぞれ有する3つのサンプルを作成し、各サンプル毎にチップ10を図18に関して前述したようにして180℃60分の熱処理によりAgペースト層52を介してCu製リードフレーム50に固着し、この後冷却して室温に戻し、さらに-40℃まで冷却し、クラックが発生する温度を測定した。この測定結果を、表2に「クラック発生温度」として示す。

【0060】

【表2】

有機膜	材料	ポリイミド	ポリイミド	レジスト
	厚さ	0.5 μ m	1 μ m	0.7 μ m
クラック発生温度		-40℃以下	-40℃以下	-40℃以下

3つのサンプルのうち、有機膜36としてポリイミド膜を有する2つのサンプルは、図2～6に関して前述したと同様の工程により作成した。有機膜36としてレジスト膜を有するサンプルは、図3（A）の有機膜形成工程を除いて図2，図4～6に関して前述したと同様の工程で作成した。図3（A）の有機膜形成工程では、基板上面にレジスト膜を回転塗布した後、レジスト膜にプリバーク処理を施し、露光・現像処理によりレジスト膜に接続孔36a～36cを形成し、この後レジスト膜を250℃で焼き固めて実用に耐え得る膜とした。

【0061】

表2によれば、有機膜36としてポリイミド膜又はレジスト膜を用いたサンプルでは、 -40°C 以下にならないとクラックが発生しないことがわかる。また、これらのサンプルについては、この後 250°C に加熱してもクラックは発生しなかった。従って、この発明に係る磁気センサには、 -40°C より高く且つ 250°C 以下の温度範囲ではクラックが発生しない利点がある。

【0062】

表3は、比較例として、有機膜36を形成しなかった代用膜なしの場合と、有機膜36の代りに代用膜としてAu膜を形成した場合とについて上記したと同様にクラック発生温度を測定した結果を示すものである。

【0063】

【表3】

代用膜	材料	なし	Au	Au
	厚さ		$2\mu\text{m}$	$4\mu\text{m}$
クラック発生温度		25°C 以上	$0\sim 25^{\circ}\text{C}$	$0\sim 25^{\circ}\text{C}$

代用膜なしの場合は、図3(A)の工程で有機膜36を形成せず、図3(B)及び図4(A)の工程で絶縁膜34の上に磁気シールド層42を形成した場合であり、従来技術に相当する。Au膜を形成した場合は、図3(A)の工程で有機膜36の代りにAu膜を $2\mu\text{m}$ 又は $4\mu\text{m}$ の厚さに形成し、図3(B)及び図4(A)の工程でAu膜の上に磁気シールド層42を形成した場合である。

【0064】

表3によれば、代用膜なしの場合には、クラックは発生しやすいことがわかる。また、代用膜としてAu膜を形成した場合には、 $0\sim 25^{\circ}\text{C}$ でクラックが発生し、Au膜を形成しても、有機膜36のようなクラック発生防止効果が得られないことがわかる。

【0065】

上記のようにして磁気センサチップ10をAgペースト層52を介してCu製

のリードフレーム50に固着した後、チップ10において電気端子Pa～PcにはそれぞれAu等のワイヤがボンディングされる。図19は、このときのワイヤボンディング状態を電気端子Pbについて示すもので、図6と同様の部分には同様の符号を付してあり、BDは、ボンディングワイヤを示す。磁気シールド層42及び有機膜44に比べて磁気シールド層42より下の構成要素（磁気抵抗素子R₂、絶縁膜34、有機膜36等）が極めて薄いので、図示を省略した。

【0066】

図20は、この発明の他の実施形態に係る磁気センサを示すものである。基板10の絶縁性表面には、図1に関して前述した磁気抵抗素子R₁、R₂とそれぞれ同一構成の直列の磁気抵抗素子R₃₁、R₃₂が形成されると共に、素子R₁、R₂とそれぞれ同一構成の直列の磁気抵抗素子R₃₄、R₃₃が形成され、R₃₂、R₃₃は、図1(A)に示したと同様にして絶縁膜34及び有機膜36を介して磁気シールド層42a、42bによりそれぞれ覆われている。磁気シールド層42a、42bは、連続した1つの磁気シールド層であってもよい。

【0067】

磁気抵抗素子R₃₁、R₃₂の直列路と、磁気抵抗素子R₃₃、R₃₄の直列路とが並列接続されている。素子R₃₁、R₃₃の相互接続部には電気端子P₁₁が接続されると共に、素子R₃₂、R₃₄の相互接続部には電気端子P₁₂が接続されている。また、素子R₃₁、R₃₂の相互接続部には電気端子P₁₃が接続されると共に、素子R₃₃、R₃₄の相互接続部には電気端子P₁₄が接続されている。このようにして素子R₃₁～R₃₄は、抵抗ブリッジ回路を構成している。電気端子P₁₁、P₁₂間に所定の電圧を印加することにより電気端子P₁₃、P₁₄間に外部磁界に応じた出力電圧を得ることができる。

【0068】

図20の磁気センサにおいても、図1の磁気センサに関して前述したと同様に基板10において磁気シールド層42a、42bの配置個所にクラックが発生するのを防止することができる。

【0069】

この発明は、上記した実施形態に限定されるものではなく、種々の改変形態で

実施可能である。例えば、図 1 に示したのと同様の磁気センサを 2 個用意し、これらの磁気センサを図 2 0 に示したのと同様に接続して抵抗ブリッジ回路を構成してもよい。

【 0 0 7 0 】

【発明の効果】

以上のように、この発明によれば、磁気シールド層の下に熱応力緩和用の有機膜を形成したことにより磁気センサチップの固着時のクラック発生を防止するようにしたので、磁気センサの製造歩留りが向上する効果が得られる。

【図面の簡単な説明】

【図 1】 この発明の一実施形態に係る磁気センサを示すもので、(A) は断面図、(B) は等価回路図である。

【図 2】 この発明に係る磁気センサの製法を示すもので、(A) は TMR 素子群形成工程を示す断面図、(B) は配線形成工程を示す断面図、(C) は絶縁膜形成工程を示す断面図である。

【図 3】 この発明に係る磁気センサの製法を示すもので、(A) は有機膜形成工程を示す断面図、(B) はシード層形成工程及びレジスト層形成工程を示す断面図である。

【図 4】 この発明に係る磁気センサの製法を示すもので、(A) は Ni - Fe 合金の選択メッキ工程を示す断面図、(B) はレジスト層除去工程及びシード層の選択的除去工程を示す断面図である。

【図 5】 図 4 (B) の工程に続く有機膜形成工程を示す断面図である。

【図 6】 図 5 の工程に続くパッシベーション用絶縁膜の選択エッチング工程を示す断面図である。

【図 7】 図 2 (A) の TMR 素子群を示す平面図である。

【図 8】 TMR 素子対の形成法における成膜工程を示すもので、図 7 (A) の X - X' 線に沿う断面図である。

【図 9】 図 8 の工程に続くイオンミリング工程を示す断面図である。

【図 1 0】 図 9 の工程に続くイオンミリング工程を示す断面図である。

【図 1 1】 図 2 (B) の磁気センサを示す平面図である。

【図12】 磁気センサの変形例を示すもので、(A)はTMR素子対の平面配置を示す平面図、(B)は図12(A)のTMR素子群を用いた磁気センサの一例を示す平面図、(C)は図12(A)のTMR素子群を用いた磁気センサの他の例を示す平面図である。

【図13】 図3(A)の有機膜を示す平面図である。

【図14】 図3(B)のレジスト層を示す平面図である。

【図15】 図4(A)のレジスト層及び磁気シールド層を示す平面図である。

【図16】 図4(B)の有機膜及び磁気シールド層を示す平面図である。

【図17】 図5の磁気シールド層を覆う有機膜を示す平面図である。

【図18】 磁気センサチップをリードフレームに固着した状態を示す断面図である。

【図19】 磁気センサチップにボンディングワイヤを接続した状態を示す断面図である。

【図20】 この発明の他の実施形態に係る磁気センサを示す等価回路図である。

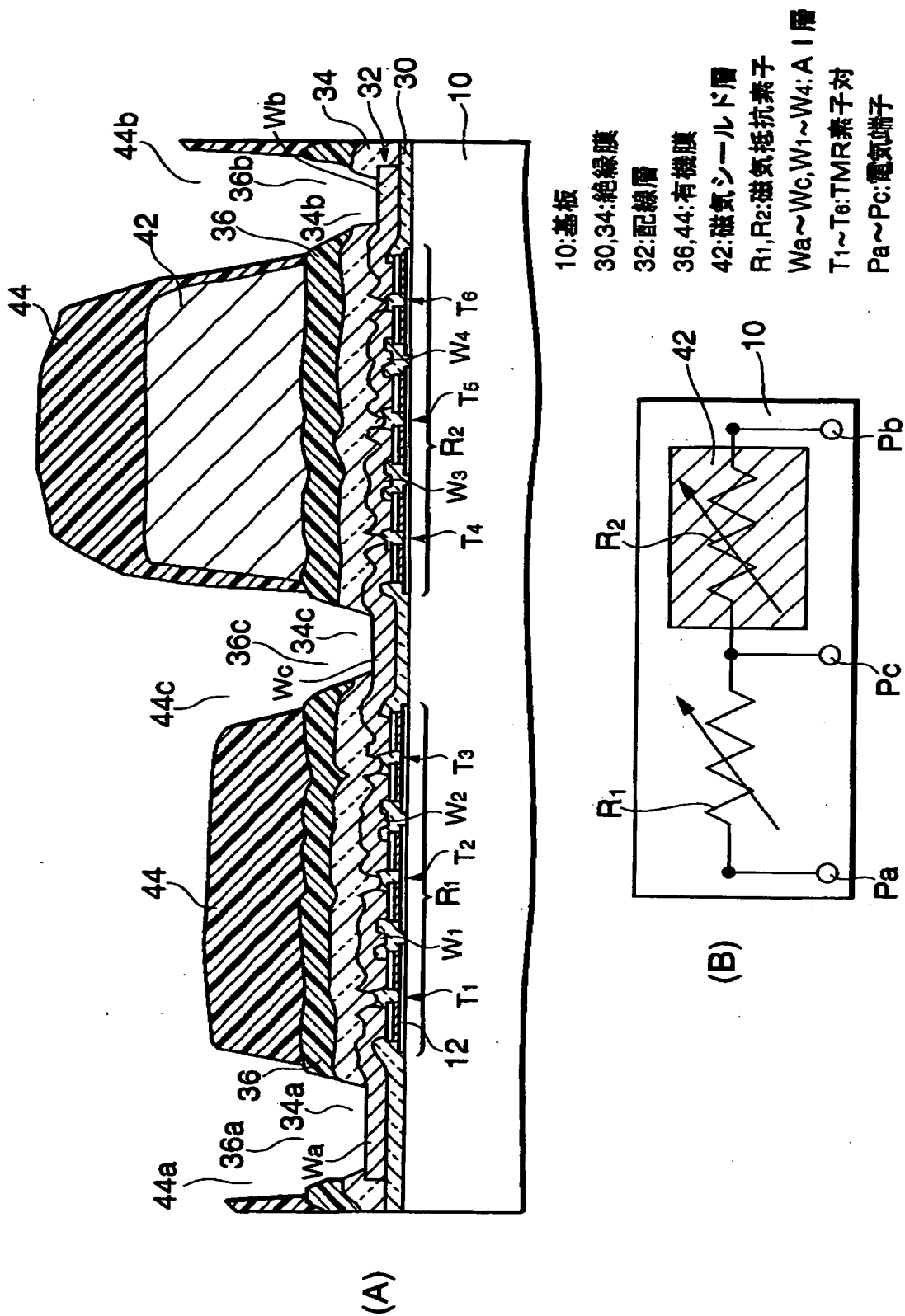
【符号の説明】

10：基板、10a：シリコン基板、10b：シリコン酸化膜、12：Cr層、14：Pt-Mn合金層、16, 20：Ni-Fe合金層、18：アルミナ層、22：Mo層、30, 34：絶縁膜、32：配線層、36, 44：有機膜、38：シード層、40：レジスト層、42, 42a, 42b：磁気シールド層、50：リードフレーム、52：Agペースト層、 $R_1, R_2, R_{31} \sim R_{34}$ ：磁気抵抗素子、 $P_a \sim P_c, P_{11} \sim P_{14}$ ：電気端子、 T_a, T_b ：TMR素子、 $T_1 \sim T_6$ ：TMR素子対、 $T_{11} \sim T_{15}, T_{21} \sim T_{25}$ ：TMR素子群、 $W_a \sim W_c, W_1 \sim W_4, W_{11} \sim W_{22}, W_{31} \sim W_{42}$ ：Al層。

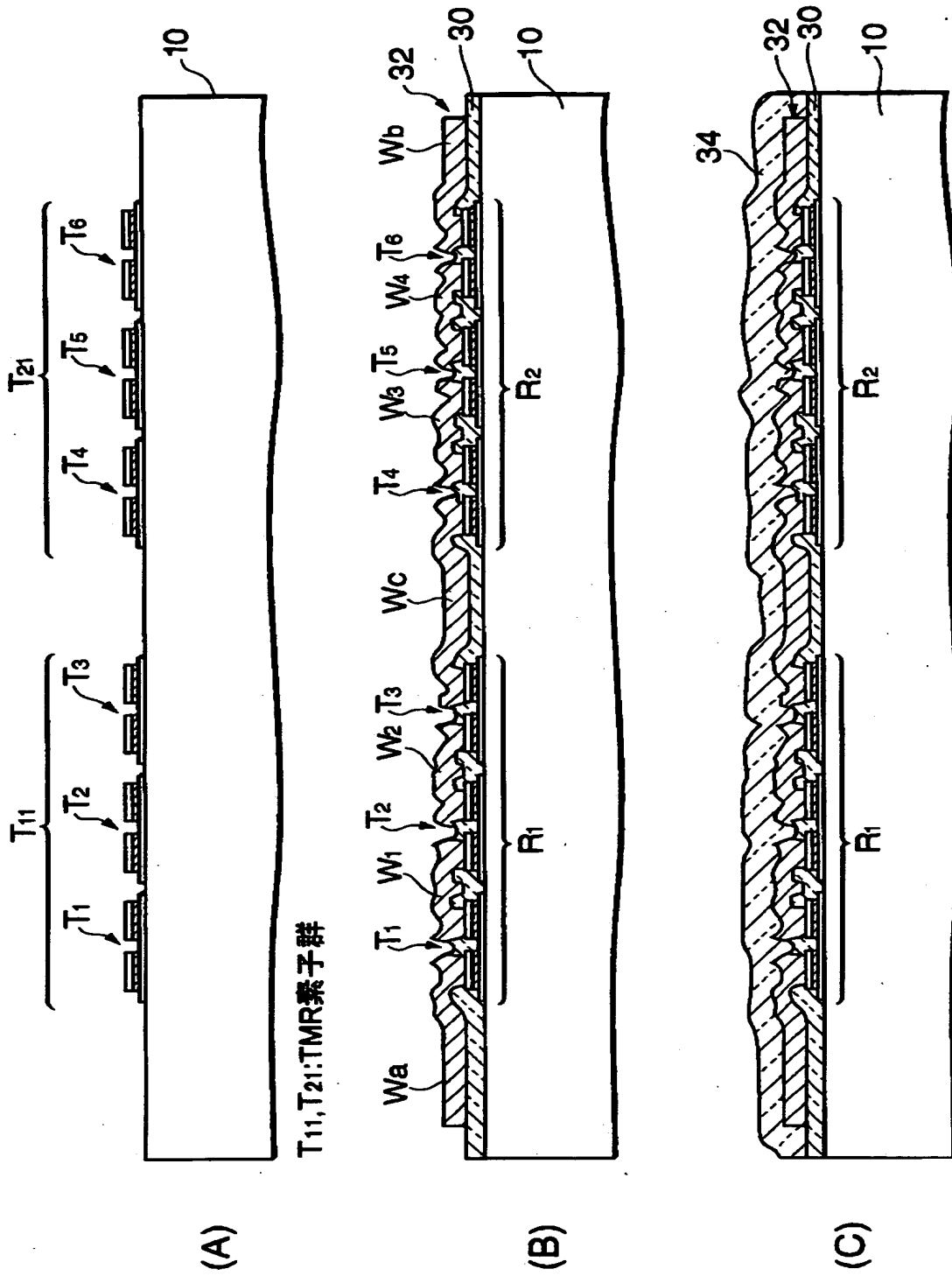
【書類名】

図面

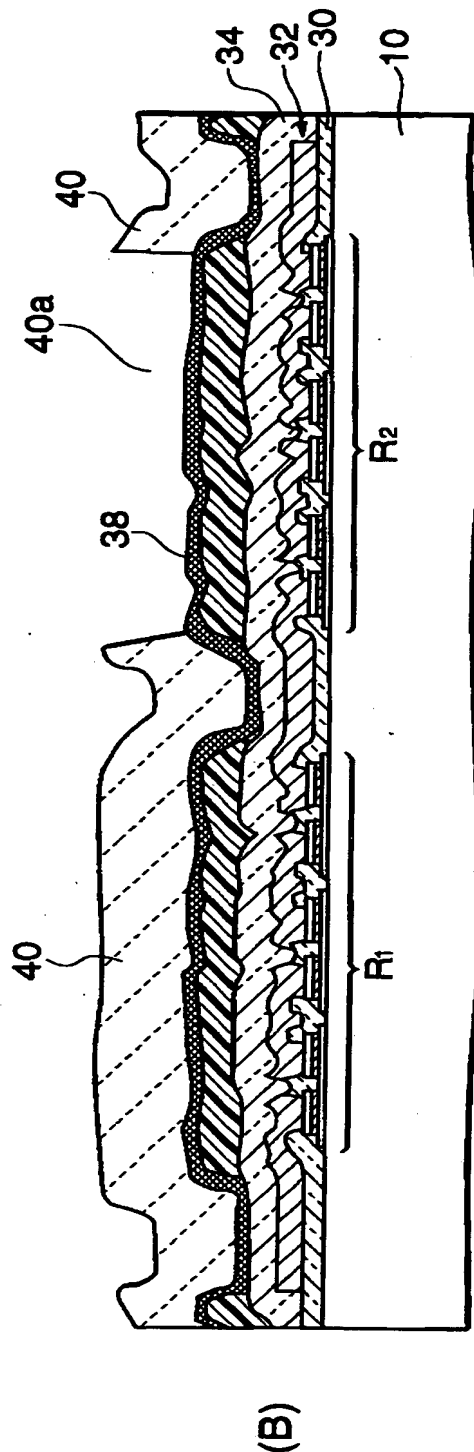
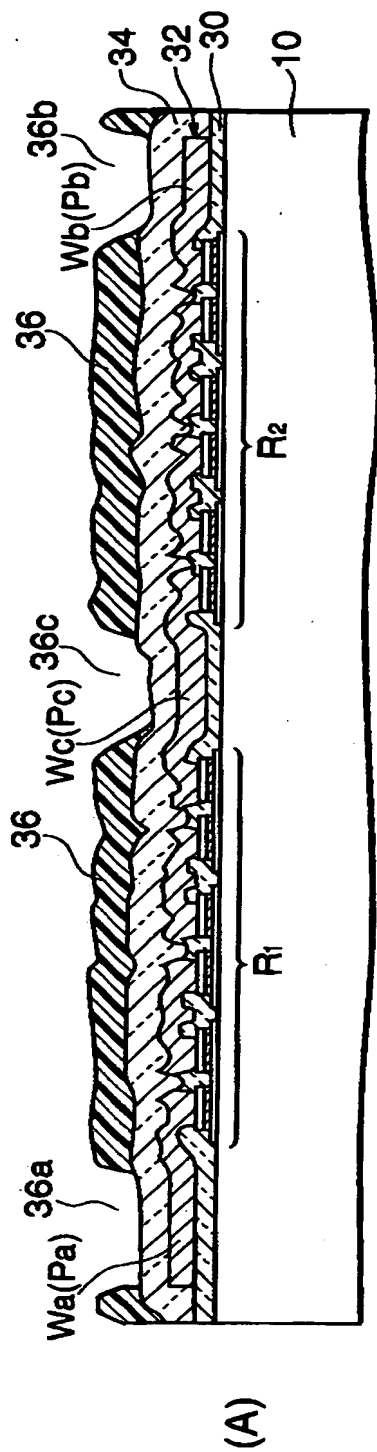
【図1】



【図 2】

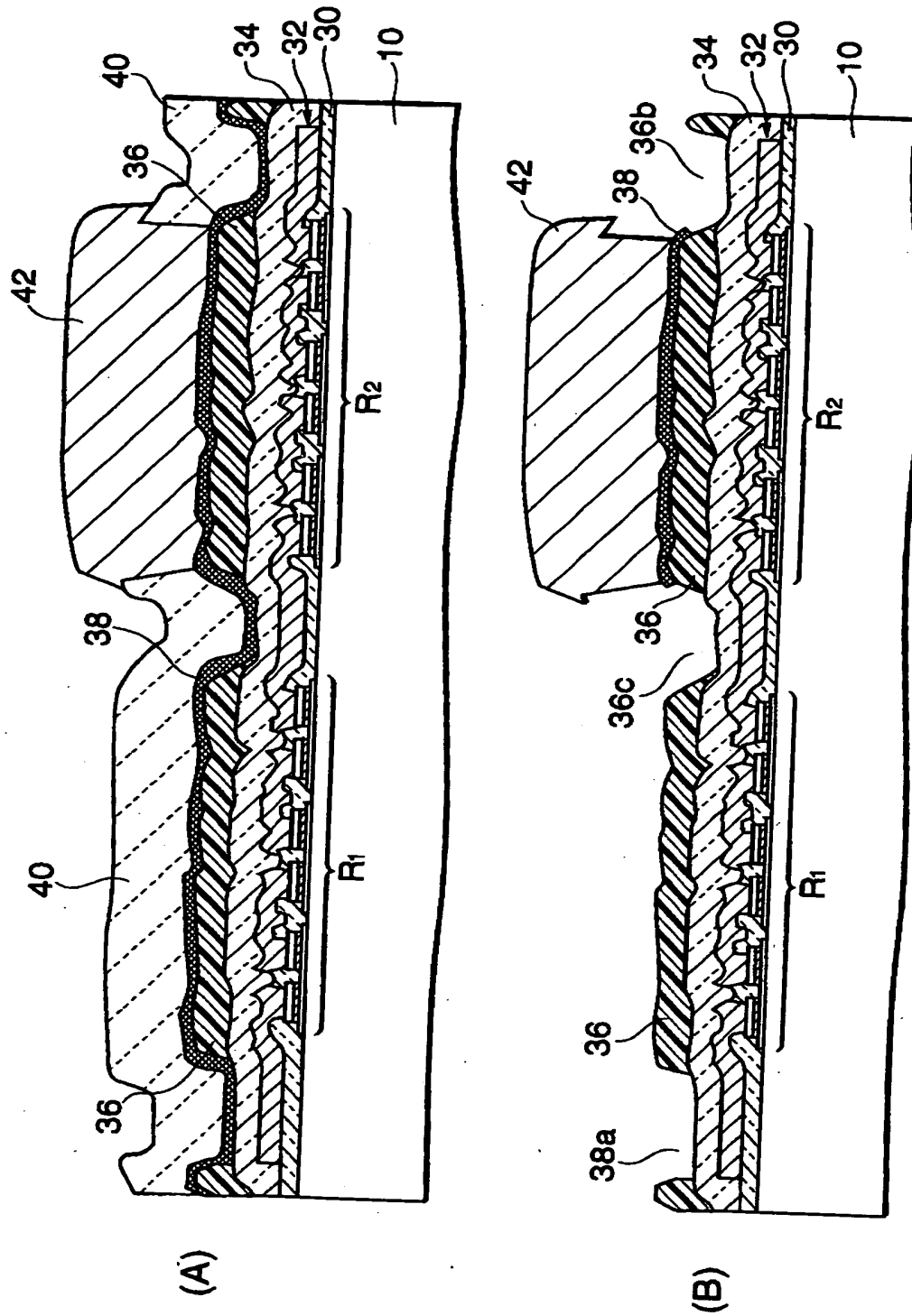


【図3】

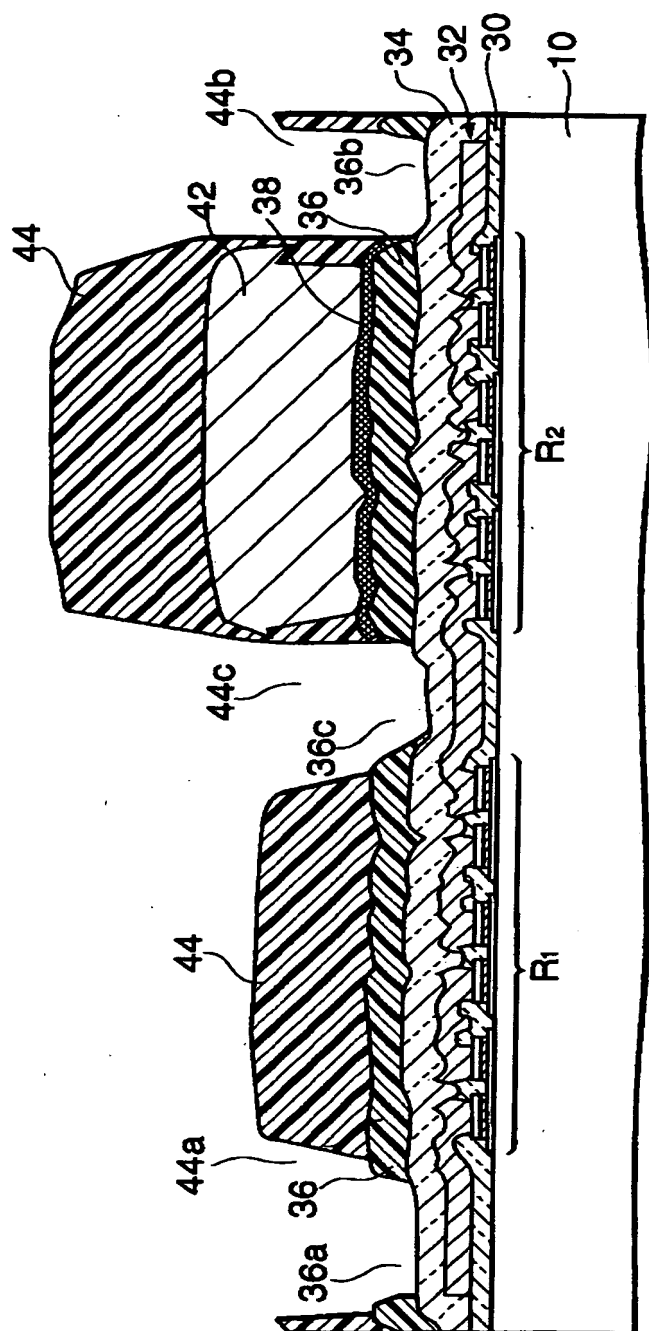


38:シード層
40:レジスト層

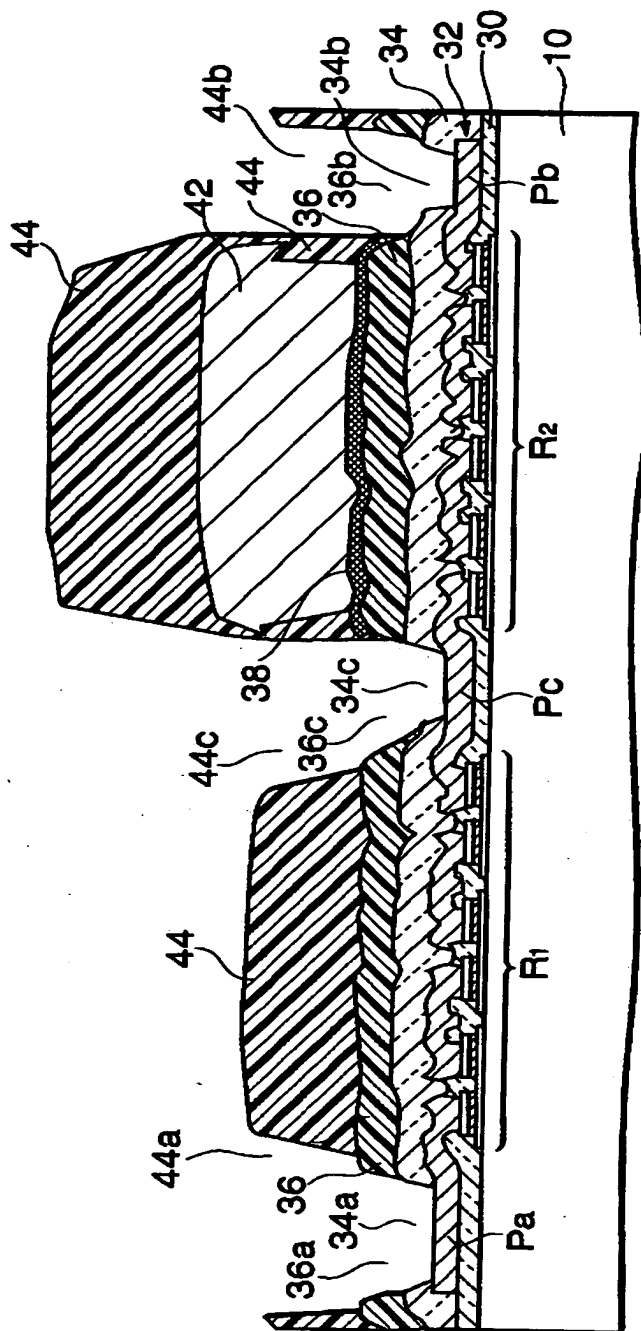
【図4】



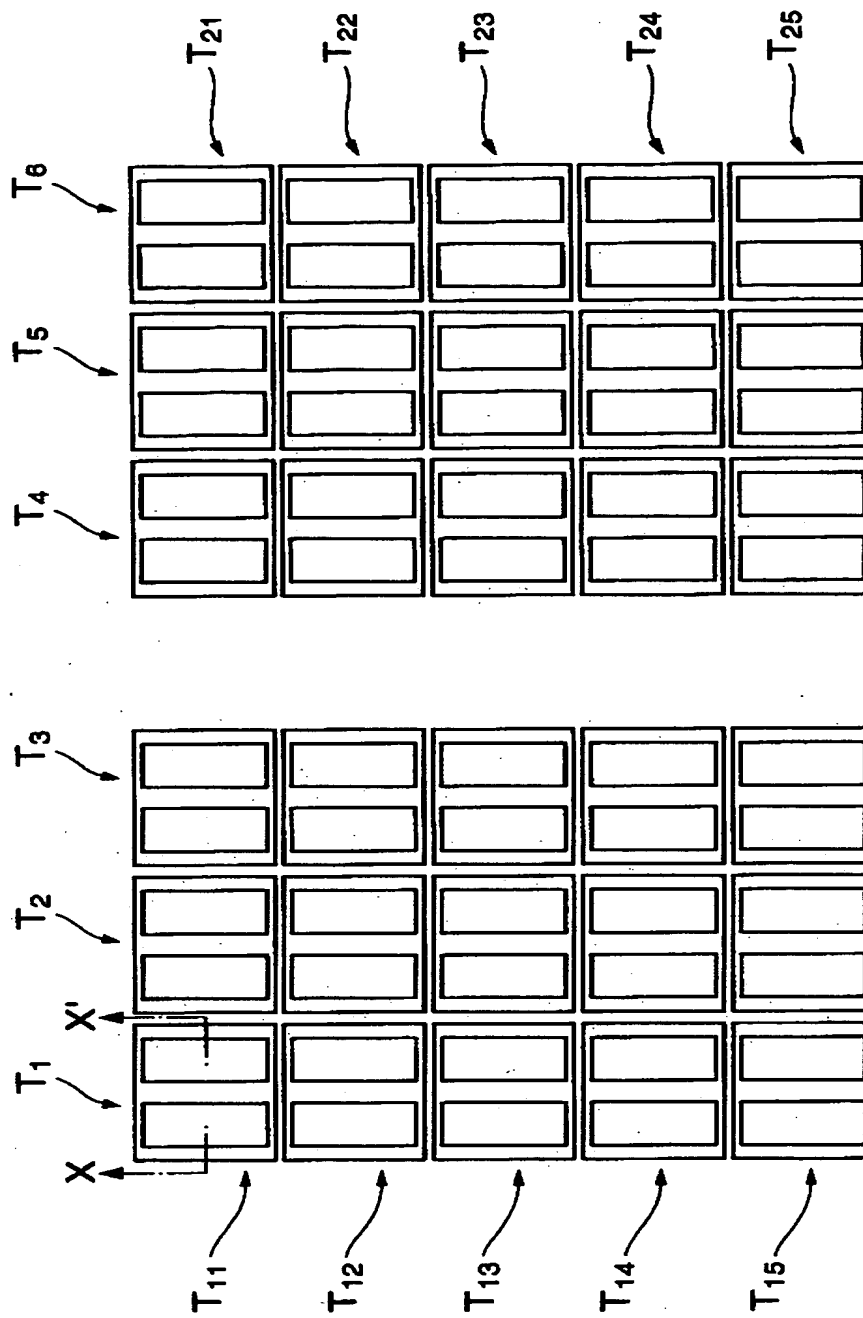
【図5】



【図6】

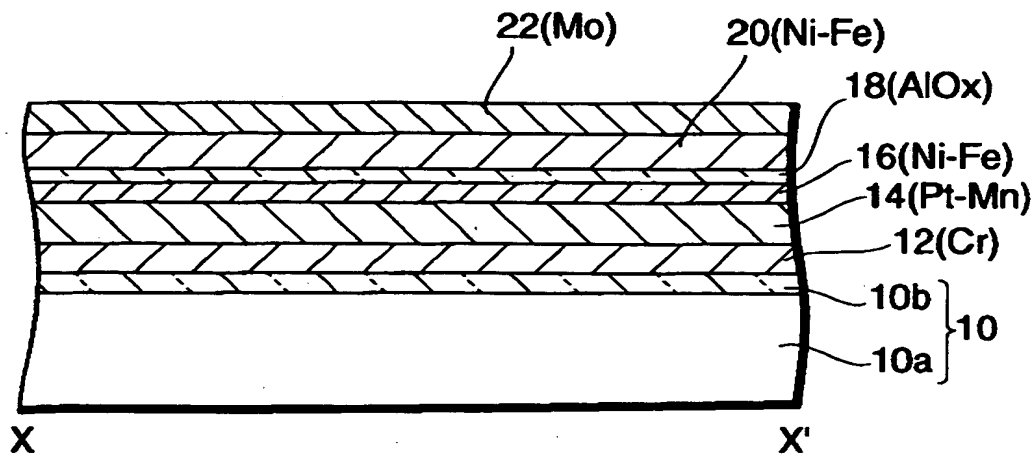


【図 7】



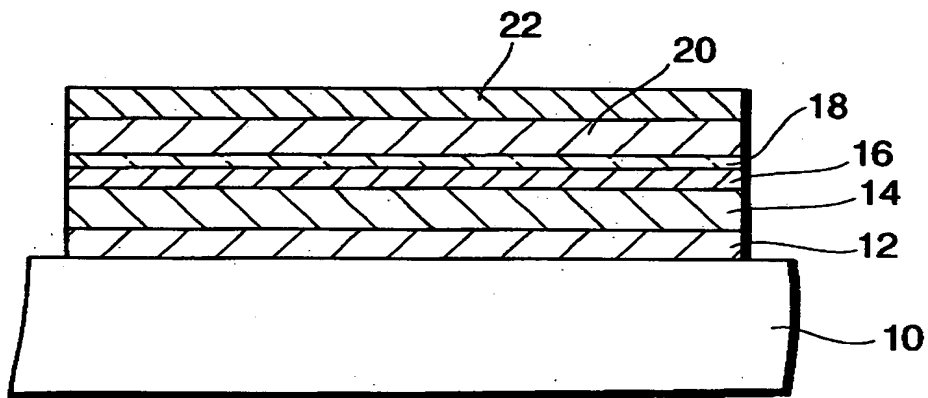
T₁₁~T₁₅, T₂₁~T₂₅:TMR素子群

【図8】

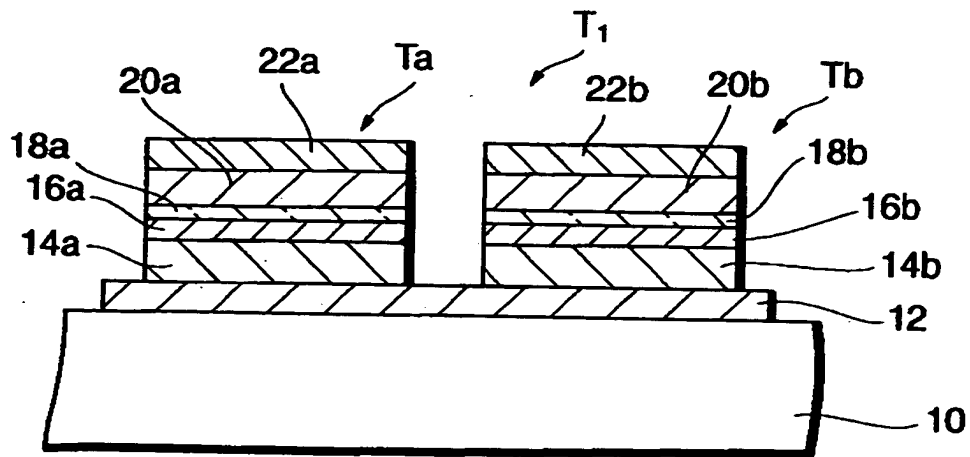


10a:シリコン基板, 10b:シリコン酸化膜

【図9】

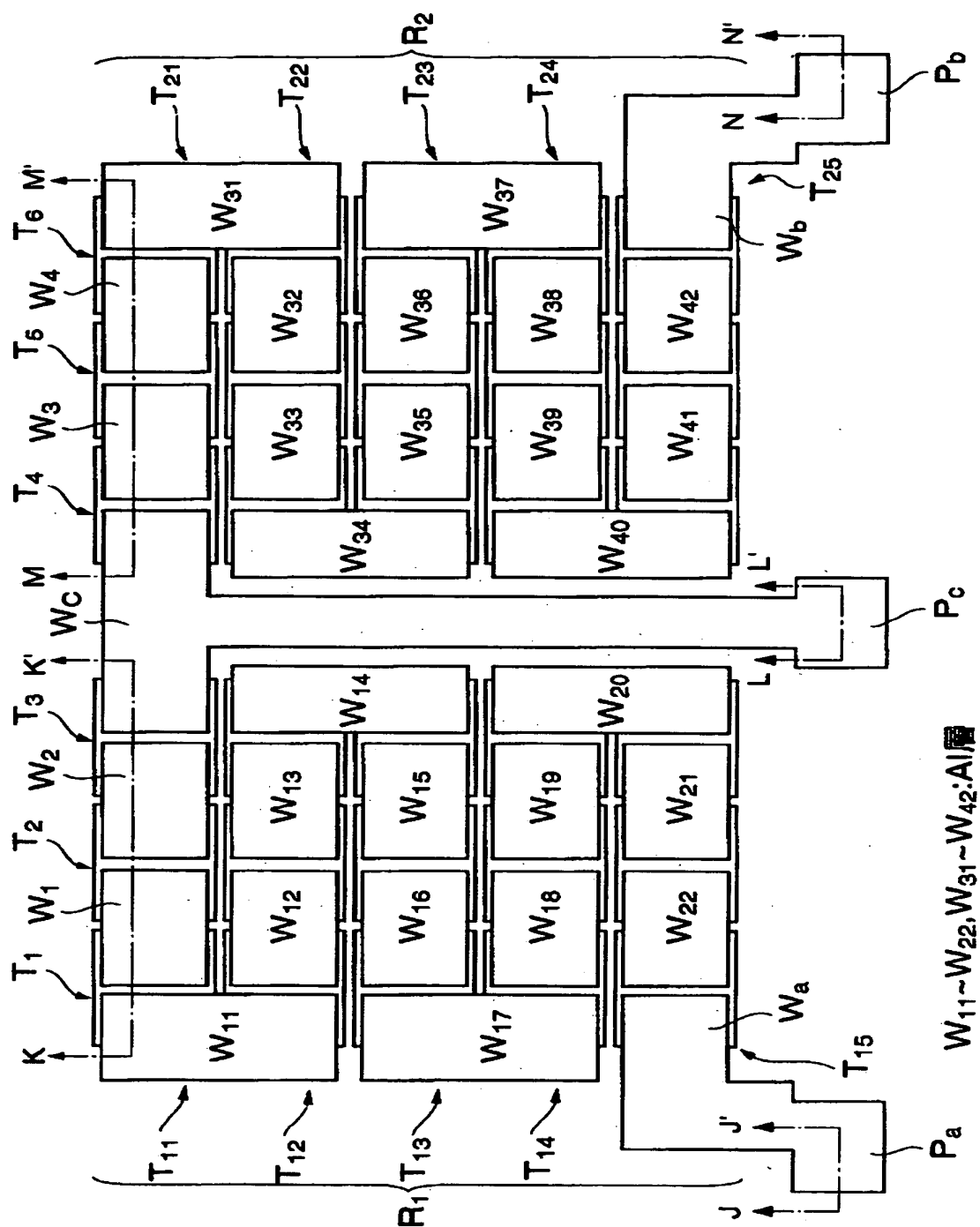


【図10】

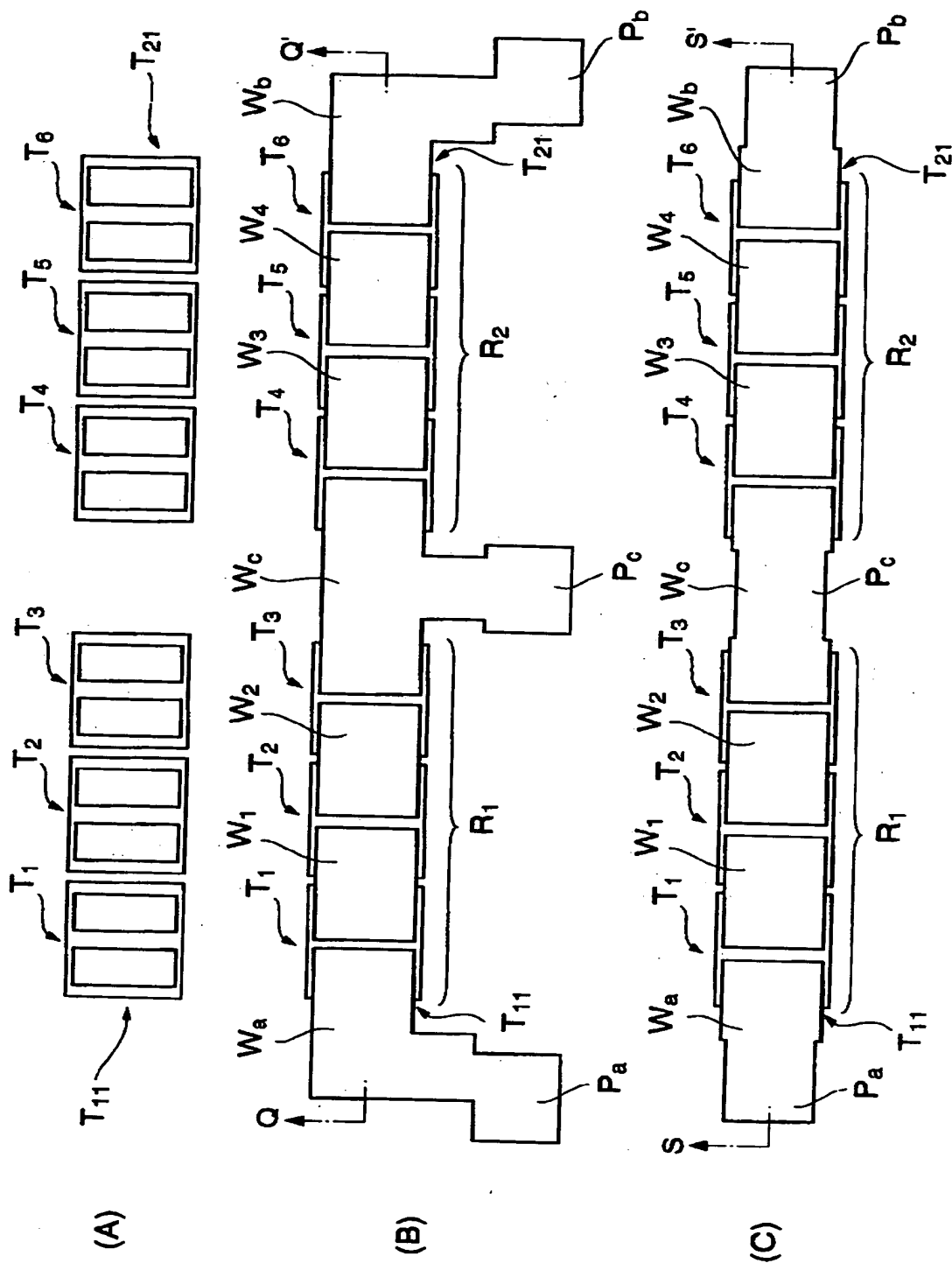


Ta, Tb: TMR素子

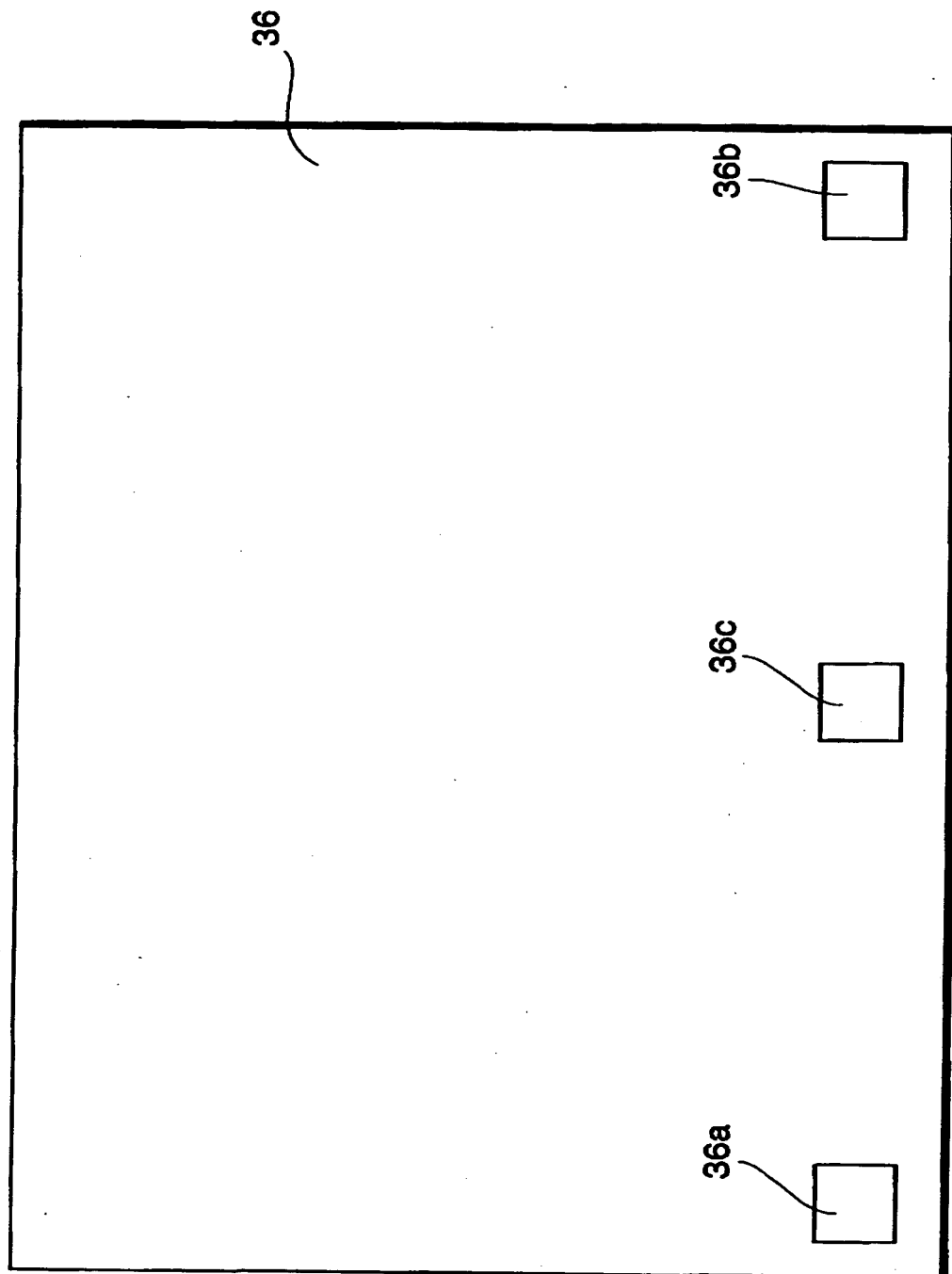
【図 11】



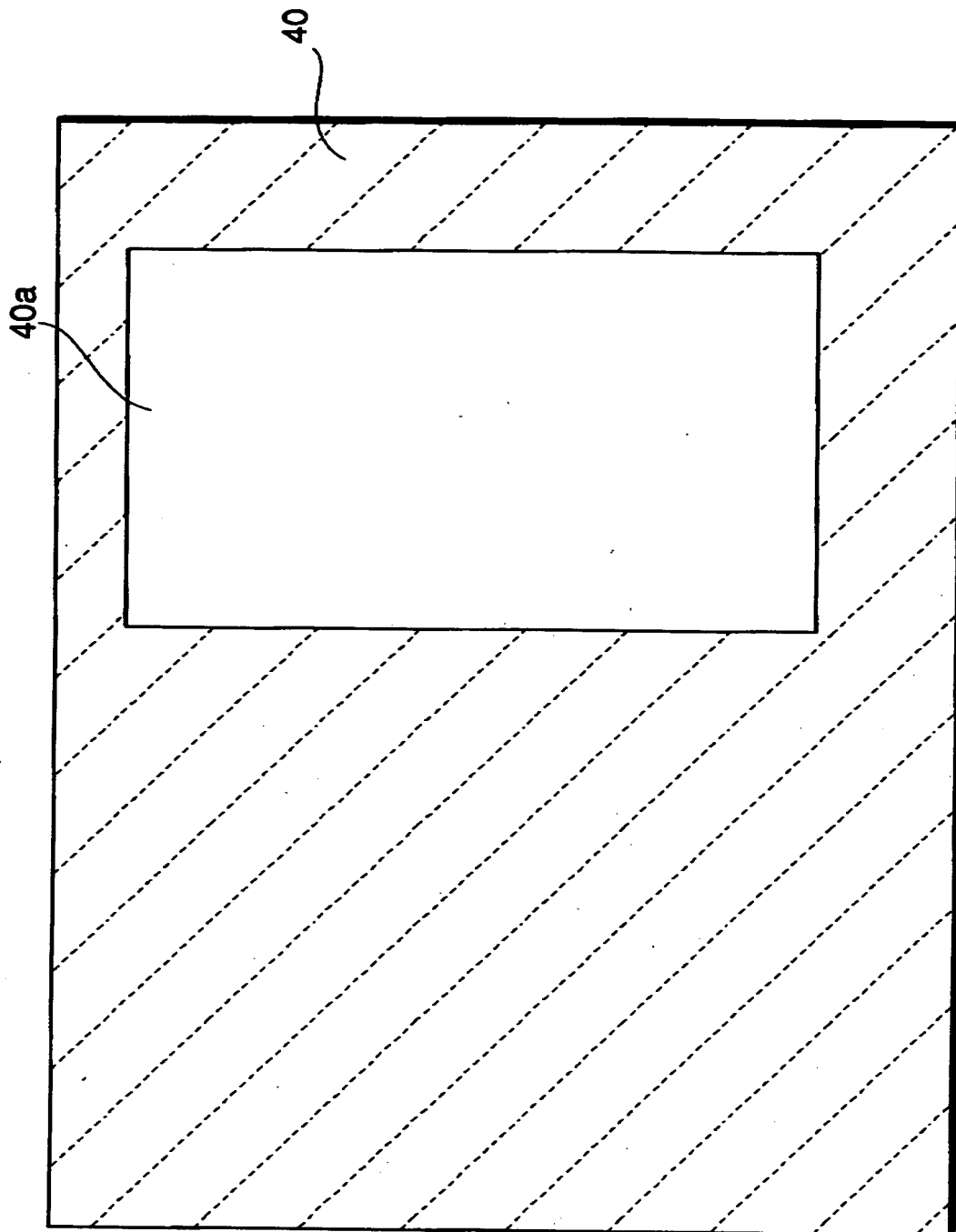
【図12】



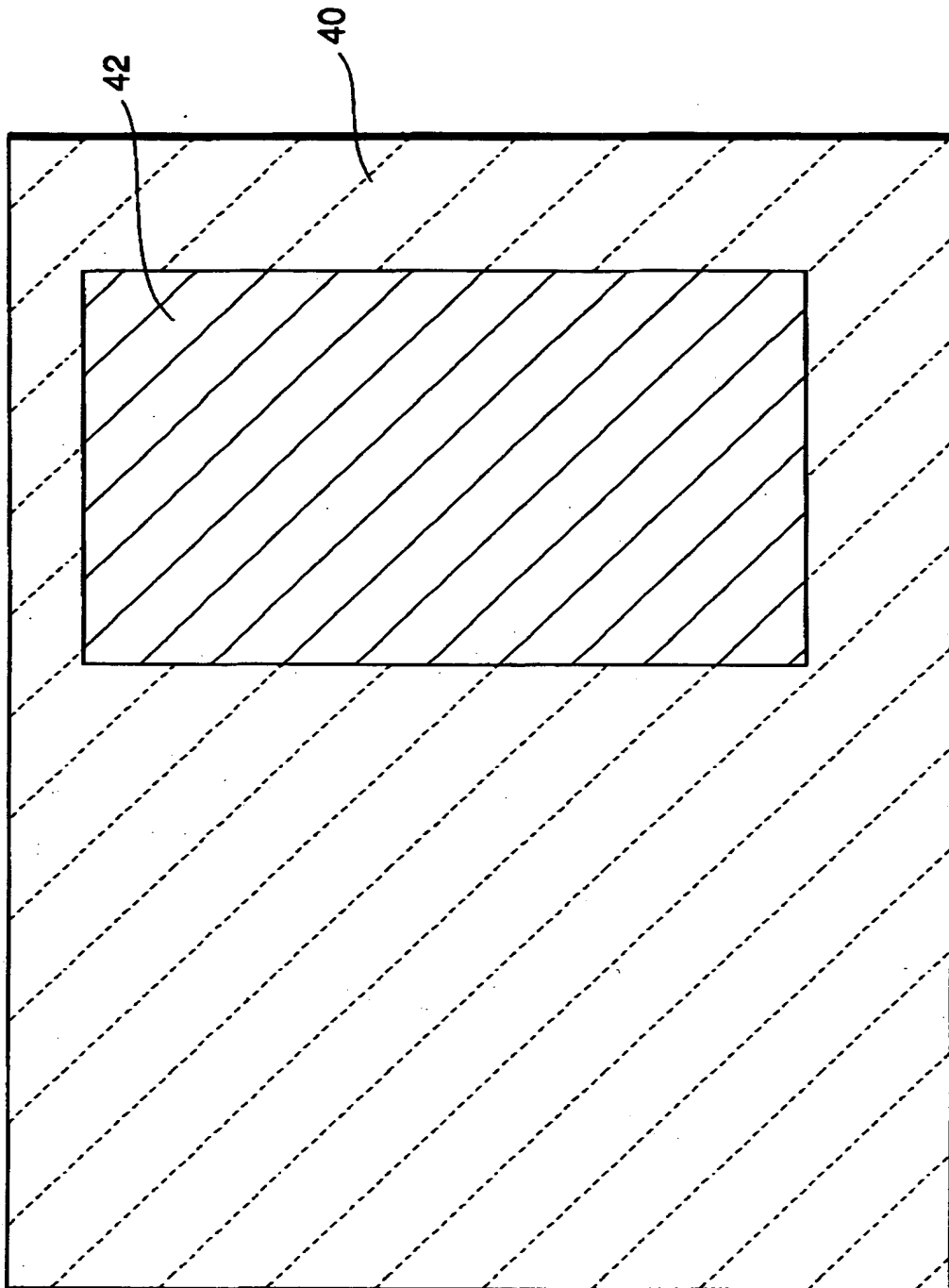
【図 1 3】



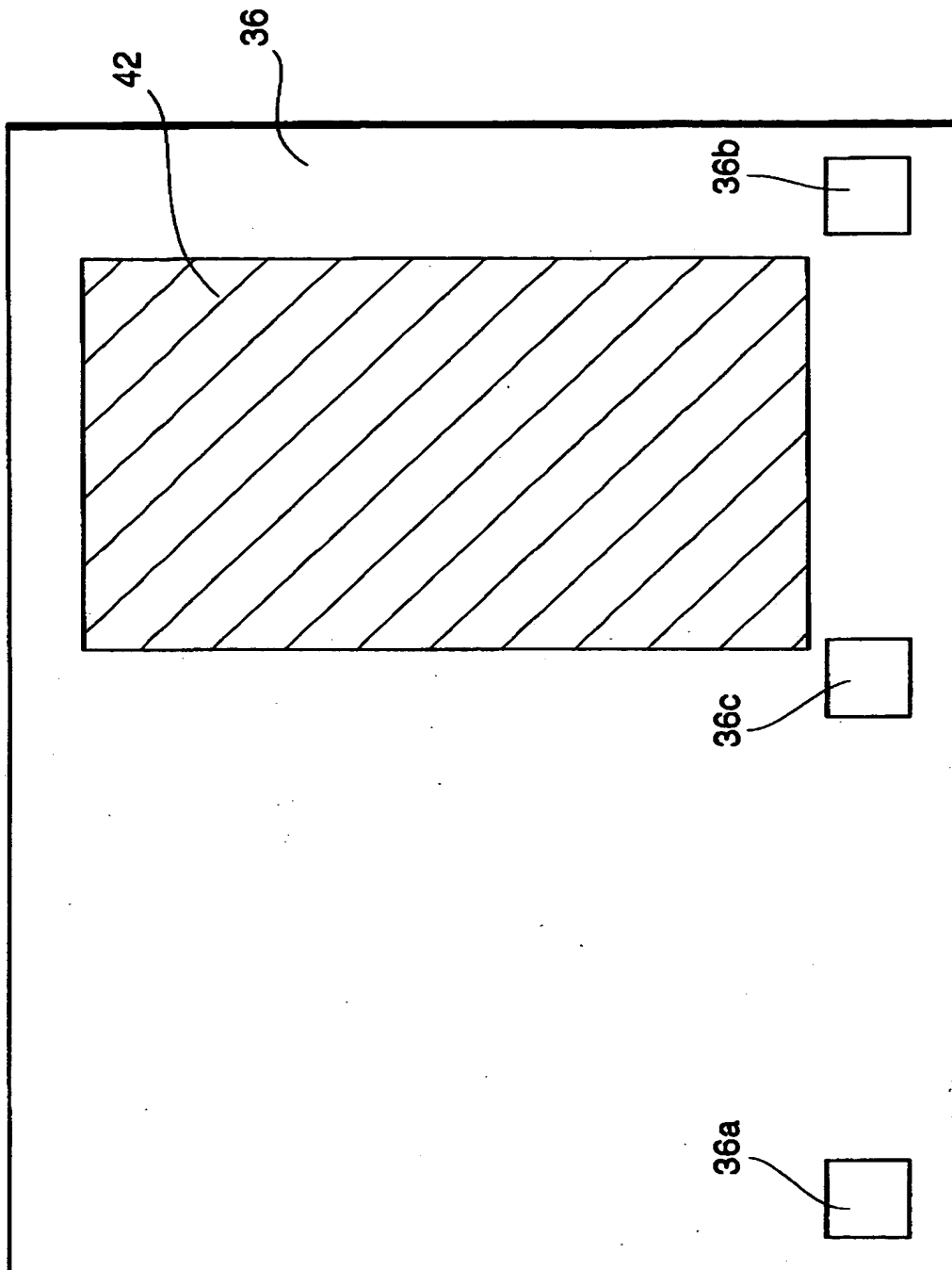
【図14】



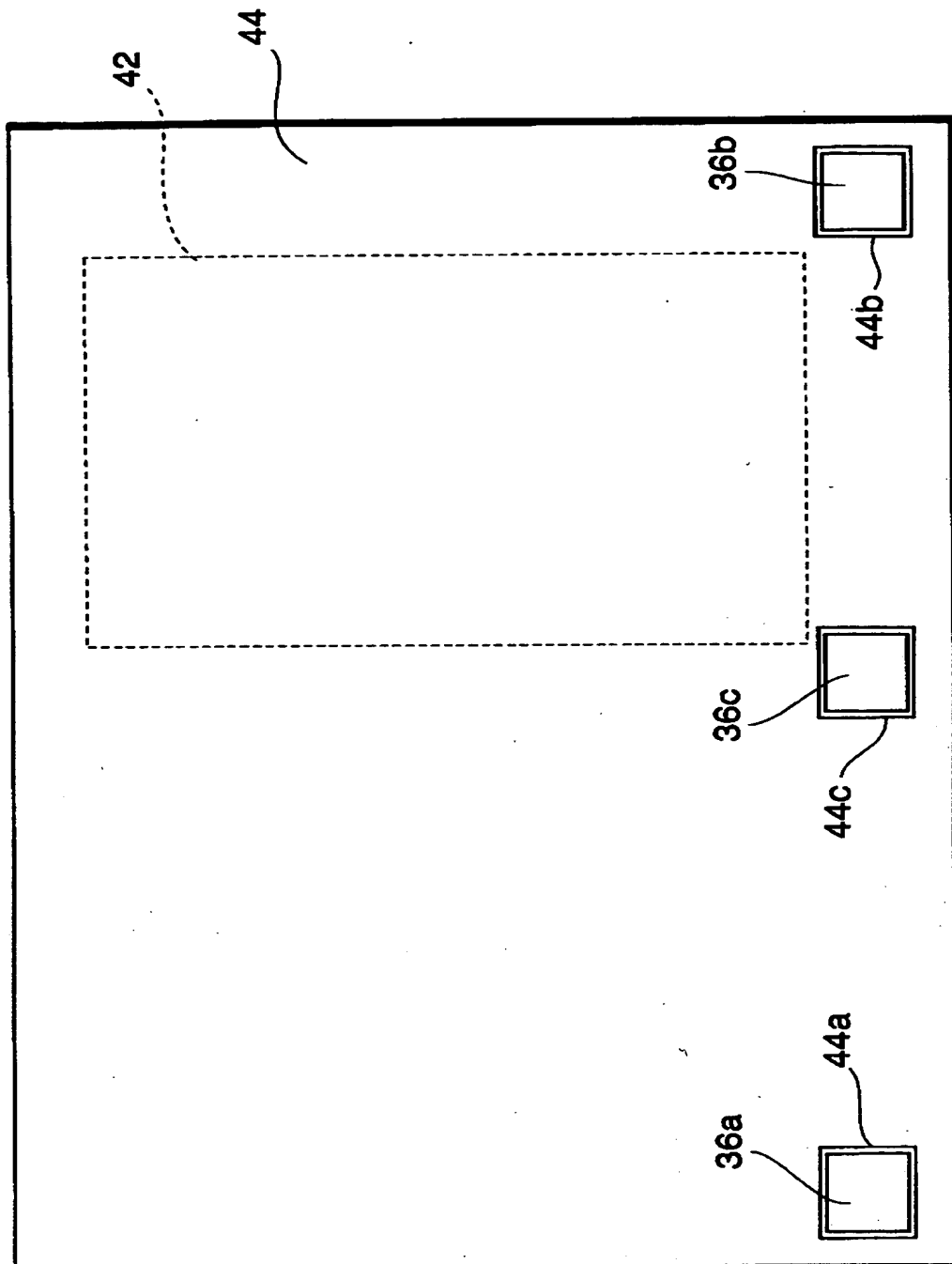
【図 1 5】



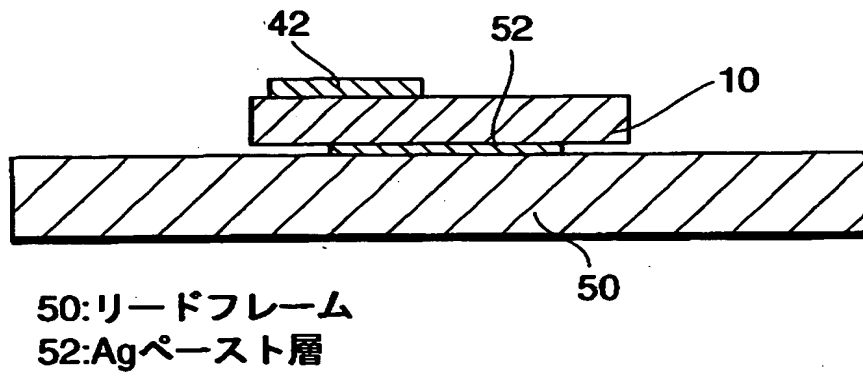
【図 1 6】



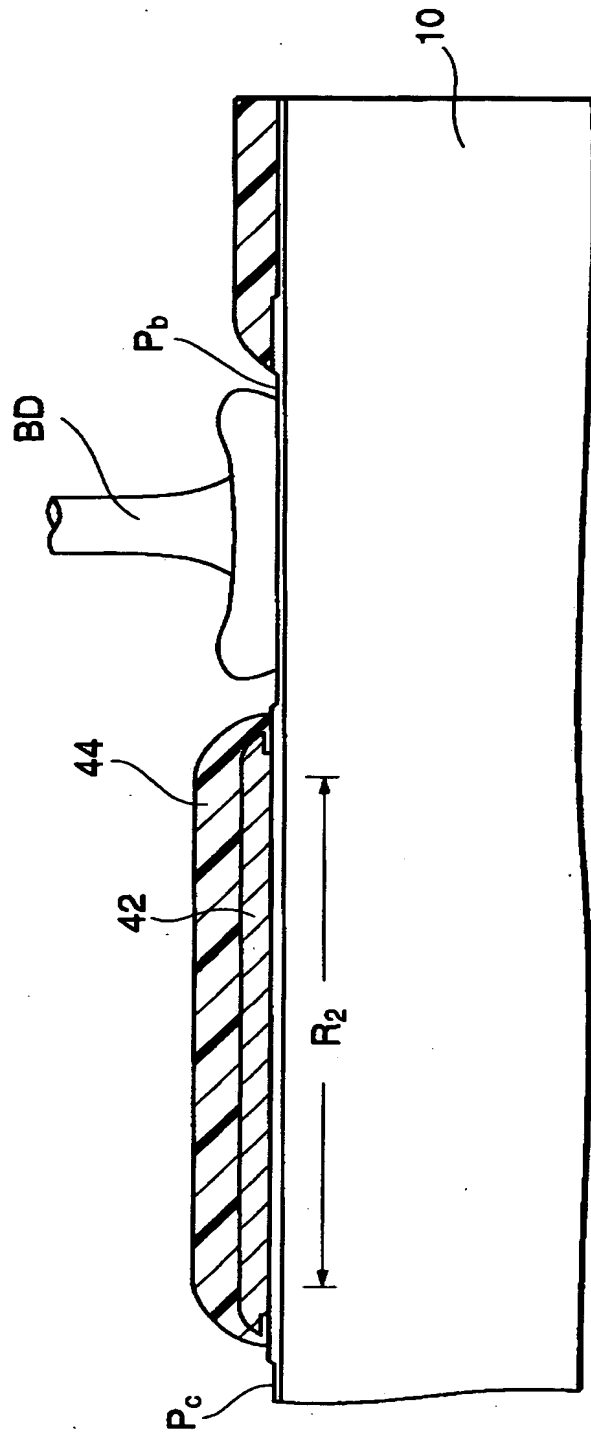
【図 17】



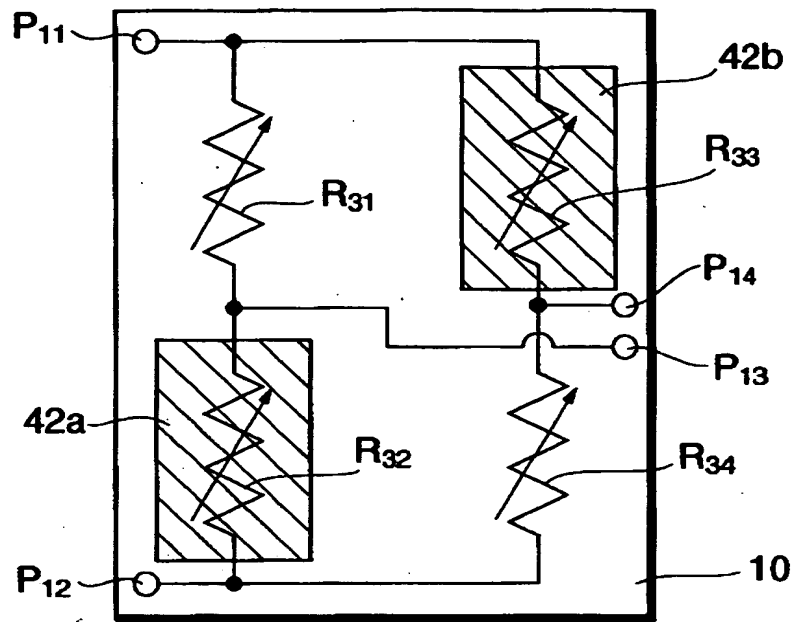
【図 1 8】



【図 19】



【図 2 0】



$R_{31} \sim R_{34}$: 磁気抵抗素子
 $P_{11} \sim P_{14}$: 電気端子
 42a, 42b: 磁気シールド層

【書類名】 要約書

【要約】

【課題】 磁気センサチップをリードフレーム等の支持部材に加熱接着層を介して固着する際にチップにクラックが発生するのを防ぐ。

【解決手段】 シリコン等の基板 1 0 の絶縁性表面には、磁気抵抗素子 R_1 , R_2 を形成する。各磁気抵抗素子は、1 又は複数直列の磁気トンネル効果素子からなる。素子 R_1 , R_2 は、絶縁膜 3 0 を介して基板表面に形成した配線層 3 2 により直列接続する。素子 R_1 , R_2 及び配線層 3 2 を覆ってパッシベーション用絶縁膜 3 4 を形成する。絶縁膜 3 4 の上には、熱応力緩和用有機膜 3 6 を介して素子 R_2 を覆うように $Ni-Fe$ 合金等の磁気シールド層 4 2 を形成する。有機膜 3 6 の材料としては、ポリイミド、レジスト、ベンゾシクロブテン等を使用可能である。素子 R_1 , R_2 等を含む磁気センサチップ 1 0 をウエハから分離した後、熱処理によりチップ 1 0 を Ag ペースト層を介してリードフレームに固着する。

【選択図】 図 1

【書類名】 出願人名義変更届
【提出日】 平成14年 1月23日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2001- 63524
【承継人】
 【識別番号】 000004260
 【氏名又は名称】 株式会社デンソー
【承継人代理人】
 【識別番号】 100075074
 【弁理士】
 【氏名又は名称】 伊沢 敏昭
【手数料の表示】
 【予納台帳番号】 063005
 【納付金額】 4,200円
【ブルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2001-063524
受付番号	50200081456
書類名	出願人名義変更届
担当官	長谷川 実 1921
作成日	平成14年 3月 5日

<認定情報・付加情報>

【承継人】

【識別番号】	000004260
【住所又は居所】	愛知県刈谷市昭和町1丁目1番地
【氏名又は名称】	株式会社デンソー
【承継人代理人】	申請人
【識別番号】	100075074
【住所又は居所】	東京都荒川区西日暮里5丁目11番7号 YMB ル702号
【氏名又は名称】	伊沢 敏昭

出 願 人 履 歴 情 報

識別番号 [000004075]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	静岡県浜松市中沢町10番1号
氏 名	ヤマハ株式会社

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日 1996年10月 8日
[変更理由] 名称変更
住 所 愛知県刈谷市昭和町1丁目1番地
氏 名 株式会社デンソー